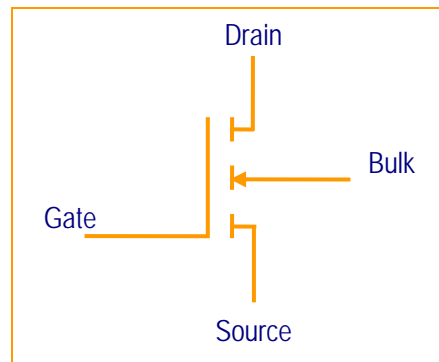


3.1. Musterlösung

a) NMOS-Transistor

- 1) Die modernen und nicht selten mobilen elektronischen Geräte wurden erst durch die Erfindung der Transistoren möglich. Die Transistoren trugen durch ihre **kleinen Abmessungen**, den **geringen Gewicht** sowie **geringen Leistungsbedarf** zur Miniaturisierung bei und machten durch ihren **geringen Preis** die einzelnen Geräte für jeden potenziellen Benutzer erschwinglich. Ein weiterer Vorteil ist die **geringe Empfindlichkeit** der Transistoren gegen mechanischen Erschütterungen sowie Temperaturschwankungen.
- 2) Um einen Stromfluss zwischen dem Source- und Drain-Anschluss zu ermöglichen, muss sich zunächst innerhalb des p-Dotierten Substrats ein Kanal bilden. Bei einem NMOS-Transistor ist eine positive Spannung U_{GS} notwendig. Die zweite Voraussetzung ist eine **positive Spannung ($U_{DS} > 0$)**, die am Transistor angelegt wird. Während der elektrische Strom gemäß der elektrischen Stromrichtung vom Drain- zum Source-Anschluss fließt, bewegen sich die Elektronen in die entgegen gesetzte Richtung **vom Source- zum Drain-Anschluss**.
- 3) Wie ihr bereits erfahren habt, besitzt der Transistor vier Anschlüsse, die wie folgt an dem Schaltzeichen platziert sind:



Es ist selbstverständlich ebenfalls denkbar den Drain-Anschluss unten und den Source-Anschluss oben zu platzieren, da diese Anschlüsse keine gesonderte Markierung innerhalb des Schaltzeichens aufweisen.

- 4) Der Widerstand eines Transistors ist von den Abmessungen des Kanals abhängig, der sich zwischen dem Drain- und Source-Anschluss bildet. Dieser Abmessungen werden zum einen durch die angelegte Spannung U_{GS} und zum anderen durch die Abmessungen des Transistors beeinflusst, sodass die Verdopplung der Weite des Transistors zu einer **Halbierung des Widerstandes** führt. Dies lässt sich durch folgenden Zusammenhang zwischen dem Widerstand und der Weite begründen:

$$R \sim \frac{1}{W}$$

Aus diesem Grund kann der Widerstand $R_{gro\beta}$ des Transistors mit der Weite $W_{gro\beta} = 2 \cdot W_{klein}$ wie folgt bestimmt werden:

$$R_{gro\beta} \sim \frac{1}{W_{gro\beta}}$$

$$R_{gro\beta} \sim \frac{1}{2 \cdot W_{klein}}$$

$$R_{gro\beta} \sim \frac{1}{2 \cdot \frac{1}{R_{klein}}}$$

$$R_{gro\beta} \sim \frac{1}{2} R_{klein}$$

- 5) In einer Schaltung müssen die Transistoren eine Kapazität auf- bzw. entladen, wobei die Kapazität zum einen durch die Leitung gebildet wird, die an dem Transistor angeschlossen ist, und zum anderen durch die nächste Stufe, die durch den Transistor getrieben wird. Je schneller diese Auf- und Entladen durchgeführt werden kann, desto höher kann die Schaltfrequenz gewählt werden. Da die Kapazität oft nicht verändert werden kann, muss der Widerstand des Transistors verkleinert werden, um den Vorgang zu beschleunigen. Für den Widerstand gilt folgende (im Vergleich zu Frage 4 erweiterte) Beziehung:

$$R \sim \frac{L}{W}$$

3.1. Musterlösung

Da die Schaltfrequenz proportional zu dem Widerstand ist, gelten folgende Beziehungen:

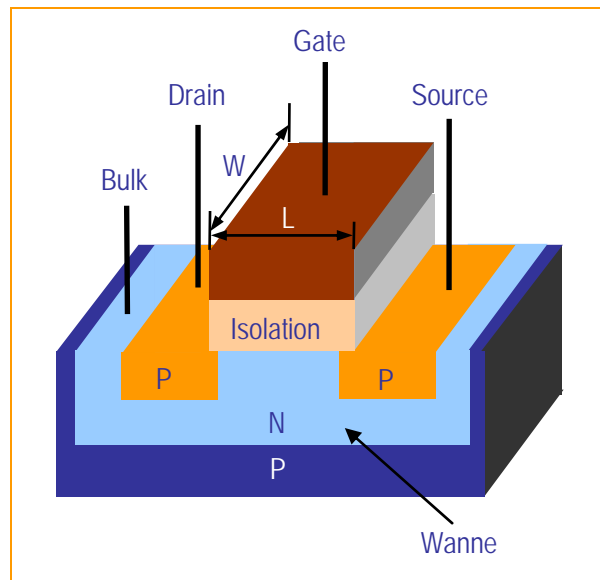
$$f \sim \frac{1}{R}$$

$$f \sim \frac{W}{L}$$

Aufgrund dieser Betrachtung kann somit festgehalten werden, dass die **Erhöhung der Weite** und/oder **Verzögerung der Länge** eine Erhöhung der Schaltfrequenz ermöglicht.

b) PMOS-Transistor

- 1) Ein PMOS-Transistor kann nicht direkt auf dem Substrat gefertigt werden, das p-dotiert ist, sodass eine zusätzliche Schicht notwendig ist. Da der Transistor quasi in eine Wanne platziert wird, trägt diese Schicht die Bezeichnung „Wanne“ und es ergibt sich folgender Aufbau:



Es ist selbstverständlich möglich eine 2-D-Ansicht des PMOS-Transistors darzustellen. Sie kann direkt von Abbildung 8 der Aufgabenstellung (oberer Transistor) übernommen werden.

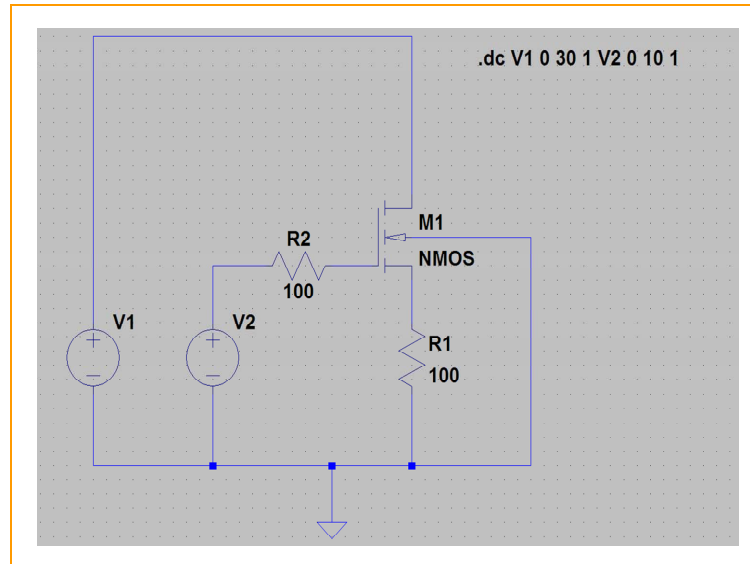
c) Grundlagen der CMOS-Technik

- 1) Wenn die Taster nicht betätigt wurden, ist der Öffner geschlossen und der Ausgang des Inverters mit der Versorgungsspannung verbunden. Aus diesem Grund liegt die Versorgungsspannung an dem Ausgang, sodass der Ausgang den logischen Wert „1“ hat. Da der Schließer geöffnet ist, existiert keine Verbindung zwischen Masse und dem Ausgang.
- 2) Ein UND-Gatter lässt sich mit der CMOS-Technik nicht direkt aufbauen, sodass hier ein NAND-Gatter (4 Transistoren) und ein Inverter (2 Transistoren) verwendet werden. Aus diesem Grund werden **6 Transistoren** für ein UND-Gatter benötigt.
- 3) Die Antwort auf diese Frage wurde bereits in der vorausgegangenen Antwort gegeben. Es ist nicht möglich die NMOS- bzw. PMOS-Transistoren zu vertauschen, sodass der Aufbau eines UND-Gatters nur durch die **Zusammenschaltung eines NAND-Gatters und eines Inverters** möglich ist.

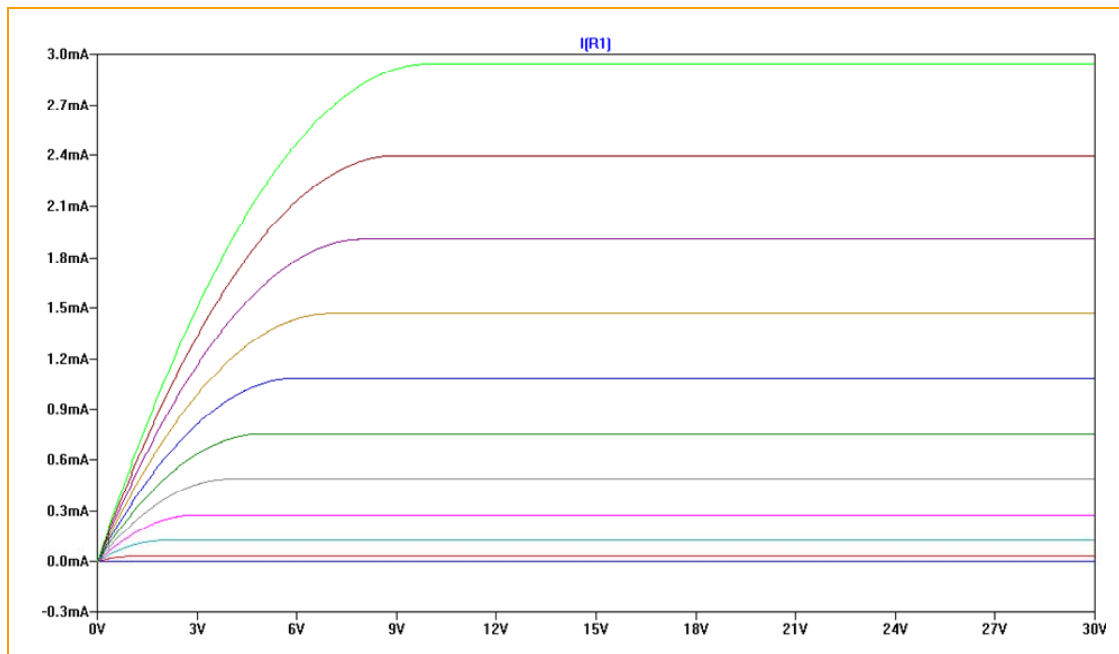
3.2. Musterlösung

Eigenschaften eines NMOS-Transistors

- 1) Die Schaltung, die in der Aufgabe bereits dargestellt wird, ermöglicht die Aufnahme der Kennlinien eines NMOS-Transistors.

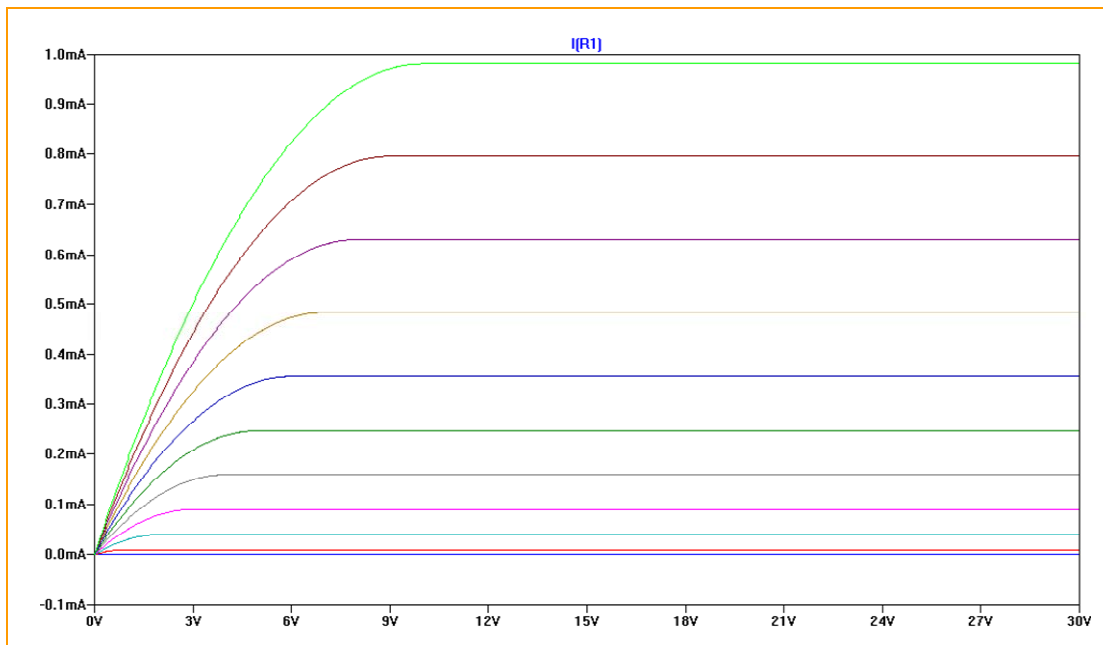


- 2) Mit einer Weite von 100 μm und einer Länge von 32 μm ergibt sich folgende Kennlinie:



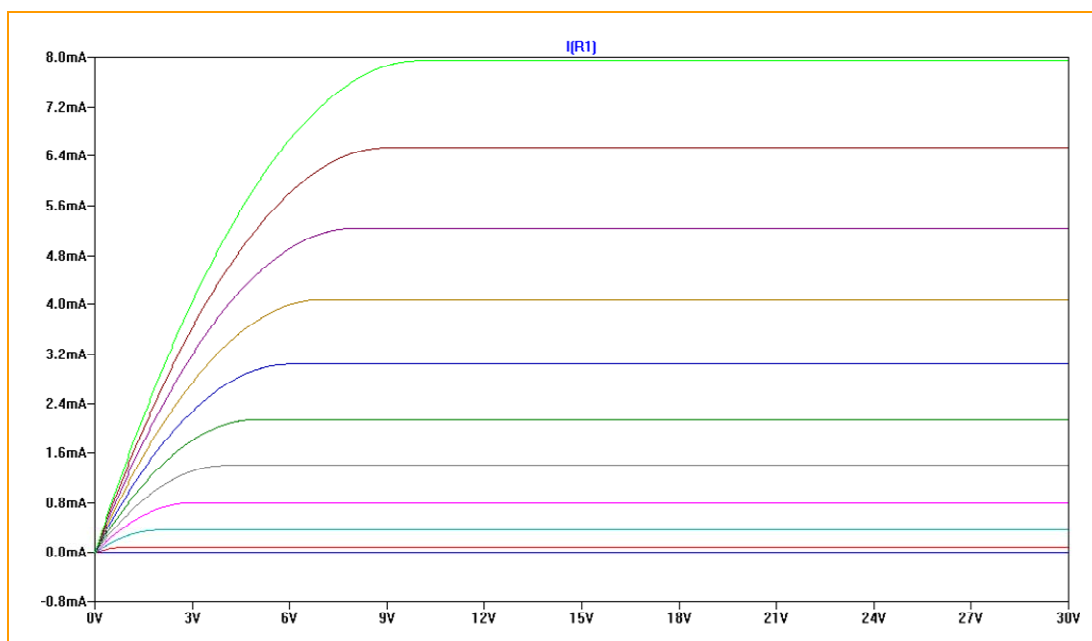
3.2. Musterlösung

3) Die Verkleinerung der Weite des Transistors auf $32\ \mu\text{m}$ führt zu folgenden Kennlinie:



Es wird hier deutlich, dass bei identischen Werten der Spannungen V_1 und V_2 der durch den Widerstand R_1 und somit durch den Transistor ein kleinerer Strom fließt. Dies lässt darauf schließen, dass der Innenwiderstand des Transistors gestiegen ist, wobei dieser Zusammenhang bereits in Aufgabe 3.1.a).5 erkannt und hier bestätigt wurde.

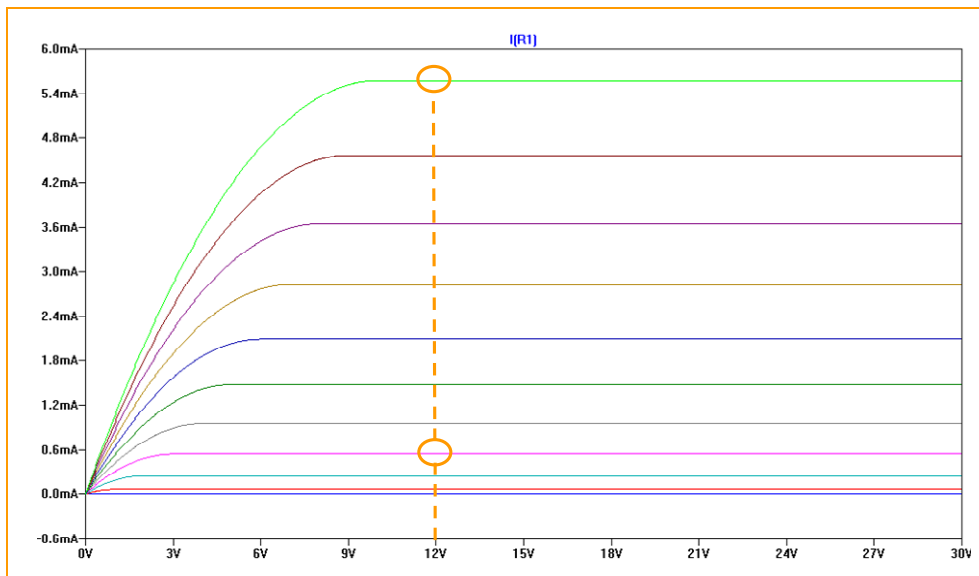
4) Die Vergrößerung der Weite des Transistors auf $300\ \mu\text{m}$ führt zu folgenden Kennlinie:



Auch an dieser Stelle werden die Ausführungen bestätigt, die in Aufgabe 3.1.a).5 durchgeführt werden. Der Strom durch den Transistor wird hier größer, wobei dies durch den offensichtlich kleineren Innenwiderstand des Transistors verursacht wird. Die Verkleinerung des Innenwiderstandes kann auf die Vergrößerung der Weite des Transistors zurückgeführt werden lassen.

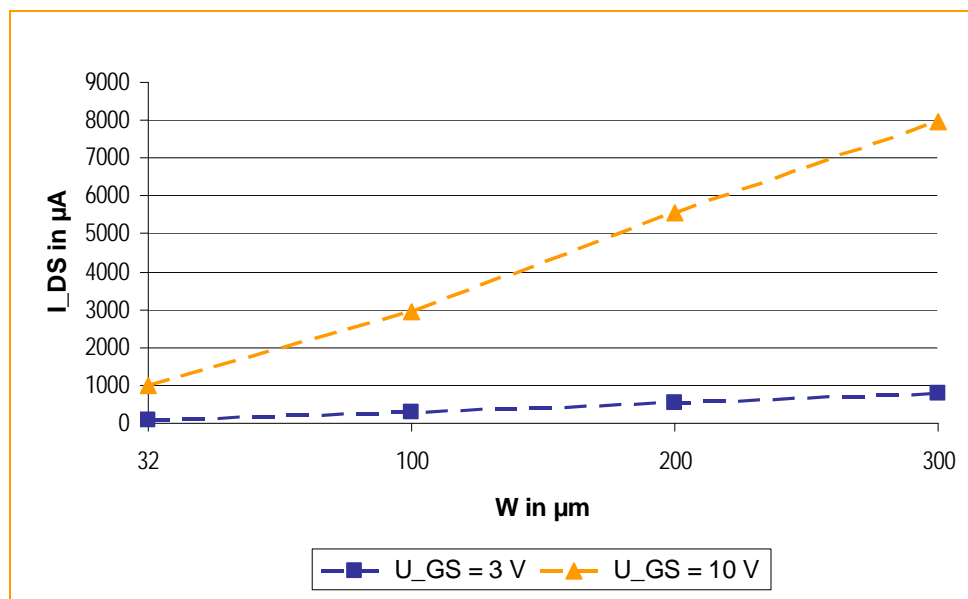
3.2. Musterlösung

- 5) Aus den vorausgegangenen Ergebnissen sowie Abbildung 6 können die Werte ermittelt werden, die in der unten dargestellten Tabelle benötigt werden. Um die einzelnen Werte zu bestimmen muss der y-Wert an der Stelle abgelesen werden, an der $V_1 = 12\text{ V}$ ist. Da hier $U_{GS} = 3\text{ V}$ und $U_{GS} = 10\text{ V}$ von Interesse sind, muss die vierte und elfte Kurve von unten betrachtet werden. Die folgende Abbildung verdeutlicht die Vorgehensweise:



	I_{DS} ($W=32\ \mu\text{m}$)	I_{DS} ($W = 100\ \mu\text{m}$)	I_{DS} ($W = 200\ \mu\text{m}$)	I_{DS} ($W = 300\ \mu\text{m}$)
$U_{GS} = 3\text{ V}$	89 μA	274 μA	547 μA	796 μA
$U_{GS} = 10\text{ V}$	982 μA	2944 μA	5568 μA	7951 μA

- 6) Um den Typ der Abhängigkeit des Stromes I_{DS} von der Transistorweite zu bestimmen, können die Werte aus der oben dargestellten Tabelle in ein Diagramm eingetragen werden:



3.2. Musterlösung

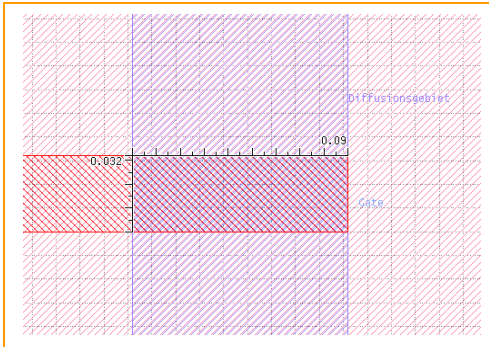
Es wird dabei deutlich, dass die Abhängigkeit in dem untersuchten Bereich **linear** ist.

- 7) Der Gate-Strom, der durch den Widerstand R_2 fließt, hat bei einem Transistor mit der Weite $200\ \mu\text{m}$ einen Wert von ca. $8,87 \cdot 10^{-18}\ \text{A}$. Der Strom ist somit **sehr klein** im Vergleich zu dem Strom durch den Widerstand R_1 und **unabhängig von der Spannung V_2** .
- 8) Der sehr kleine Wert des Stromes, der in den Gate-Anschluss fließt, lässt darauf schließen, dass der Eingangswiderstand des Transistors **sehr groß** ist. Es wird damit deutlich, dass mit einem äußerst kleinen Strom größere Ströme (vgl. z. B. Frage 3.2.2) geschaltet werden können.

3.3. Musterlösung

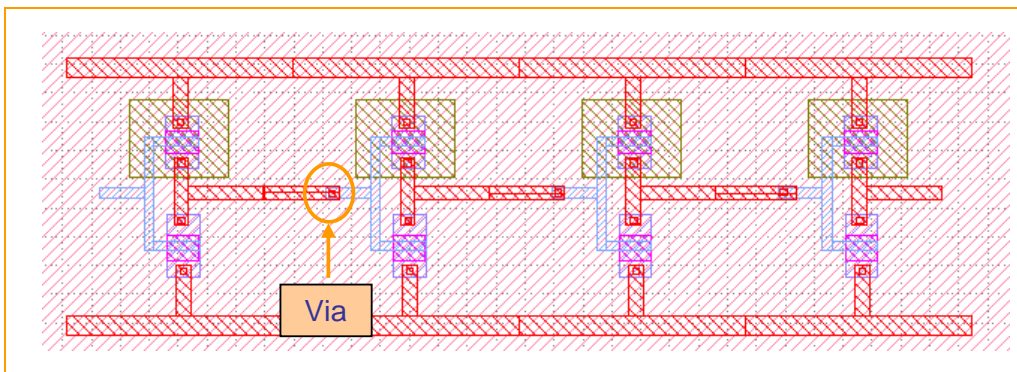
Layout

- 1) Beide Transistoren des Inverters haben identische Abmessungen, sodass hier lediglich der NMOS-Transistor betrachtet wird:

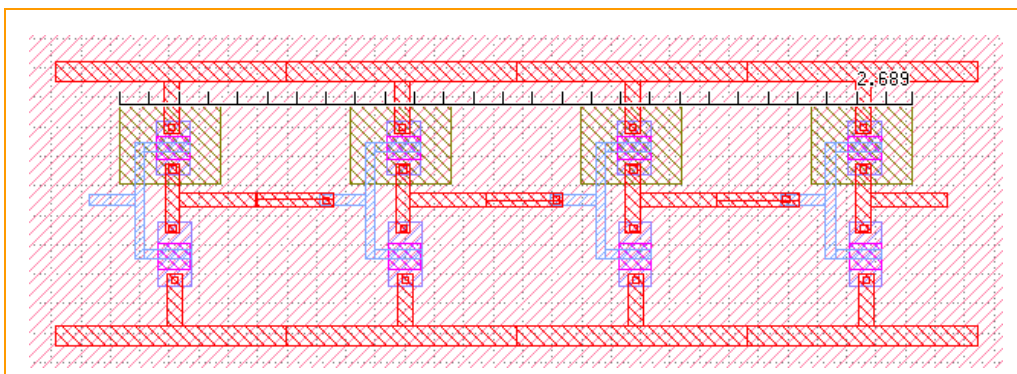


Wie bereits in den Zusatzinformationen zu KLayout erläutert, wird in den Beispielen die Längeneinheit $0,001\mu\text{m}$ verwendet, sodass die Transistoren eine Länge von **32 nm** und eine Weite von **90 nm** aufweisen.

- 2) Die Technologiebezeichnung leitet sich von der Länge der kleinsten herstellbaren Transistoren ab. Es ist selbstverständlich möglich, auch Transistoren mit einer größeren Länge als die kleinste technologiebedingte Länge herzustellen. Aus diesem Grund können die Transistoren aus der vorausgegangenen Aufgabe in einer **32-nm-** und **22-nm-**Technologie gefertigt werden.
- 3) Die Aneinanderreihung der einzelnen Inverter stellt die minimale Lösung dar, die in praktischen Anwendungen verwendet wird. Eine Optimierung der Schaltung wäre dabei noch denkbar, solange die Randbedingungen (hier: mind. Abstand zwischen den n-Wannen von 100 nm) eingehalten werden. An dieser Stelle wird die reine Aneinanderreihung der Inverter dargestellt:

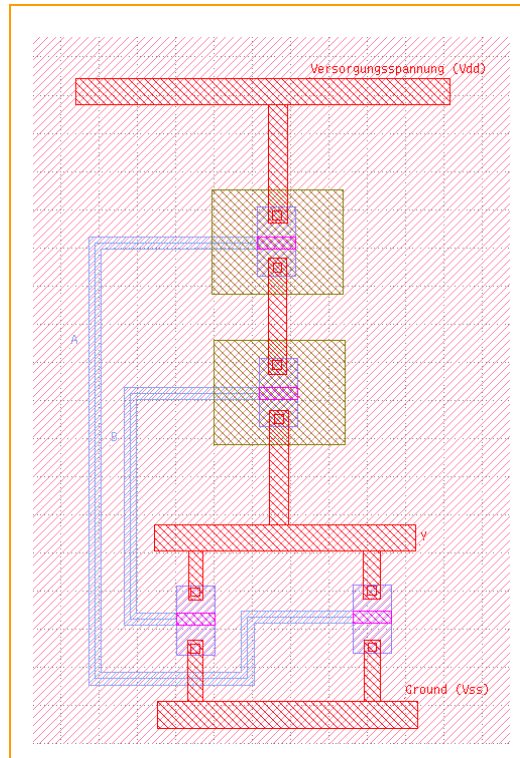


- 4) Nun muss die Breite der gesamten Schaltung bestimmt werden. Unsere Schaltung hat die Breite von ca. **2,6 μm** .



3.3. Musterlösung

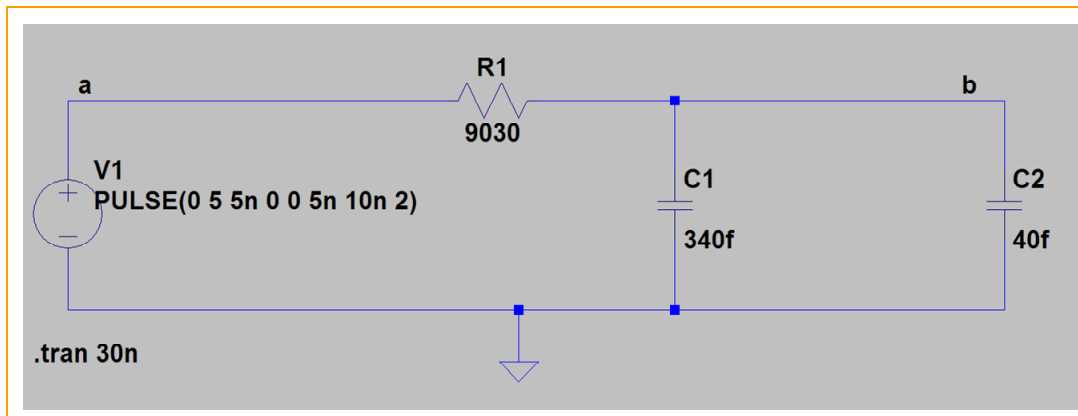
5) Die Übertragung des Schaltbildes des NOR-Gatters in ein Layout ergibt folgende Anordnung:



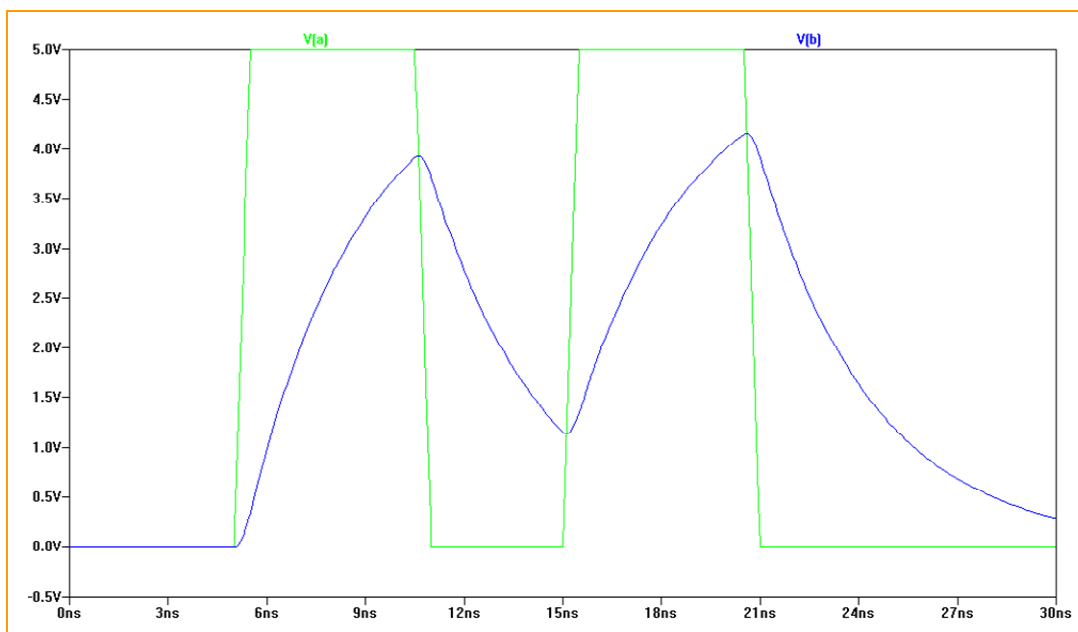
3.4. Musterlösung

Inverter als Verstärker

- 1) Die Schaltung, die in der Aufgabe bereits dargestellt wird, ermöglicht eine Simulation des Verhaltens einer Verbindungsleitung.



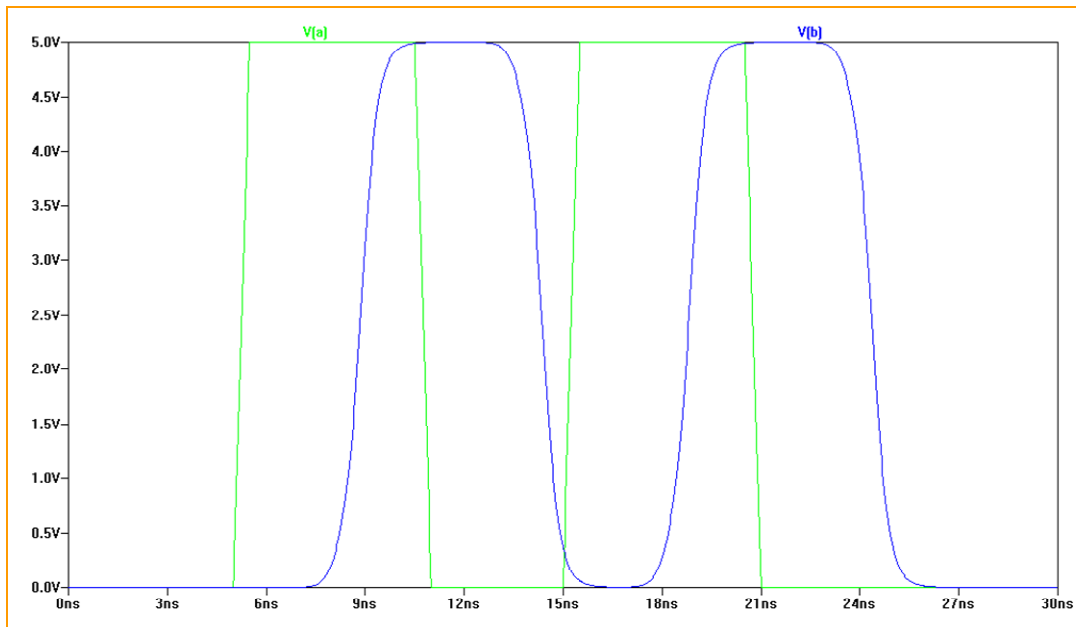
- 2) Die Simulation der Schaltung liefert folgende Ergebnisse:



Das Eingangssignal ist ein beinahe ideales Rechtecksignal. Die Flanken des Ausgangssignals haben eine **endliche Steigung** und einen **gekrümmten Verlauf**. Es existiert ein **zeitlicher Versatz** zwischen dem Ein- und Ausgangssignal.

- 3) Die Inverterkette wirkt wie ein Verstärker, sodass die Qualität des Ausgangssignals sich bereits verbessert hat. Die Form des Ausgangssignals **erinnert stärker an ein Rechtecksignal**. Hier hat das Signal eine **relativ hohe Steigung und geringe Krümmung**. Überdies wird deutlich, dass das Ein- und Ausgangssignal **zeitlich versetzt** sind. Folgende Abbildung zeigt den Verlauf der Signale, wobei die Abgabe dieses Screenshots nicht gefordert war!

3.4. Musterlösung



- 4) Im Vergleich zu der Aufgabe 2) ist das Signal in der Aufgabe 3) qualitativ besser, da es eine **stärkere Ähnlichkeit** zum Eingangssignal hat als bei einem unverstärkten Signal in Aufgabe 2). Auf der anderen Seite ist der zeitlicher Versatz der Ein- und Ausgangssignale bei der Schaltung in Aufgabe 3) größer: Die Schaltung hat eine **größere Verzögerung**.
- 5) Die Verzögerung der Schaltung aus der Aufgabe 3) beträgt **3,5 ns**, wobei die Beschreibung der Vorgehensweise bei der Bestimmung der Verzögerung der Zusatzinformation entnommen werden kann.
- 6) Um die gewünschte maximale Verzögerungszeit einzuhalten, sind Transistoren mit einer Weite zwischen **270 μm** und **320 μm** notwendig.