

3. Energie-effiziente Schaltungen... für eine grüne (IT-)Welt

Noch vor 10 Jahren wurden Computerchips fast ausschließlich nach der Rechenleistung gekauft (und vermarktet). Ihr Energieverbrauch war relativ egal, was zählte war die Rechenleistung pro Sekunde (z.B. FLOPS, Floating point operations per second = Gleitkommaoperationen pro Sekunde). Heutzutage werden Prozessoren zwar immer noch nach der Rechenleistung beurteilt, aber eben auch nach ihrem Energiebedarf. Das Schlagwort lautet heute Effizienz und wird in FLOPS/Watt ausgedrückt, also Rechenleistung pro aufgewendeter Energie. Effizienz ist natürlich nicht nur ein Thema in der Computertechnik, es gilt genauso im Automobilbereich, in der Fliegerei, Industrie und in vielen anderen Bereichen.





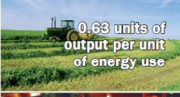
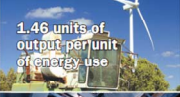
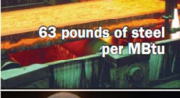

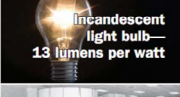

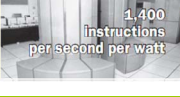
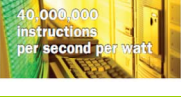
	1978	2008	Energy-efficiency improvement
Automobiles	 14.3 miles per gallon of gas	 20.0 miles per gallon of gas	40 percent
Passenger Airliners	 22.8 revenue passenger miles per gallon	 50.4 revenue passenger miles per gallon	121 percent
Agriculture	 0.63 units of output per unit of energy use	 1.46 units of output per unit of energy use	132 percent
Steel Manufacturing	 63 pounds of steel per MBtu	 167 pounds of steel per MBtu	167 percent
Lighting	 Incandescent light bulb—13 lumens per watt	 Compact fluorescent bulb—57 lumens per watt	339 percent
Computer Systems	 1,400 instructions per second per watt	 40,000,000 instructions per second per watt	2,857,000 percent

Abbildung 1 Energiebedarf damals und heute¹

Energieeffizienz ist wichtig – sowohl im Mobilbereich als auch für Höchstleistungsrechner. Notebooks sollen 10 Stunden Akkulaufzeit haben, das Handy bitte auch nur alle paar Tage aufgeladen werden müssen und der Computer zu Hause eigentlich immer an sein, ohne dass über die Stromrechnung das böse Erwachen kommt. Zudem schonen energieeffiziente Geräte nicht nur den Geldbeutel sondern auch die Umwelt durch Reduktion von CO₂-Emissionen. Speziell in großen Rechenzentren begrenzt die abführbare Abwärme den Ausbau der Rechenleistung und der Energiebedarf der Klimaanlage ist dem der rechnenden Computer oft ebenbürtig. Je weniger Abwärme die Computer also produzieren, desto mehr von ihnen kann man in einem Gebäude unterbringen. Daher ist es wichtig, Techniken zu entwickeln, die eine Leistungssteigerung ermöglichen und den Energiebedarf soweit wie möglich reduzieren, denn das Vergrößern der Gebäude ist nicht ohne weiteres möglich. Abbildung 1 zeigt einen Vergleich von verschiedenen Industrien und ihren Effizienzsteigerungen über die letzten 30 Jahre.

In dieser Aufgabe werden wir uns mit dem Thema Energieeffizienz befassen, insbesondere von digitalen Schaltungen, Computern und Systemen. Im ersten Aufgabenteil wird am Beispiel von Leuchtmitteln veranschaulicht, was Energieeffizienz bedeutet. Zudem wird am Beispiel von Mikrochips die Wichtigkeit von Energieeffizienzsteigerung verdeutlicht. Im zweiten Aufgabenteil werden Grundschaltungen der Digitaltechnik (Transistoren, Gatter) besprochen und bzgl. ihres Energieverhaltens untersucht. Die Stromspartechniken bei Mikroprozessoren stehen im Mittelpunkt des dritten Aufgabenteils. Der letzte Aufgabenteil beschreibt zwei schaltungstechnische Optimierungsprobleme, die von Euch gelöst werden sollen.

¹ © 2008 Technology CEO Council – “A smarter shade of green”

3.1 Grundlagen der Energieeffizienz I

Was bedeutet Energieeffizienz? Am Beispiel von Lampen, welche seit einiger Zeit vermehrt als Thema in Funk und Fernsehen auftauchen, werden wir zunächst diese Frage näher betrachten.

Auf den Verpackungen von Leuchtmitteln werden Angaben über deren Energieeffizienz gemäß der EU-Richtlinie 98/11/EG angegeben. Lasst uns dieses Thema näher betrachten!

1. Von welchen physikalischen Größen hängt die dort definierte Energieeffizienz des Leuchtmittels ab?
Hinweis: Gebt sowohl Namen als auch Einheit der physikalischen Größe an.
2. Welche Energieeffizienzklassen sind definiert? Welche Klasse zeigt die beste Energieeffizienz an?
3. Ordnet folgende Leuchtmittel bezüglich ihrer Energieeffizienzklassen:
 - a. Leuchtstoffröhren (CFL),
 - b. herkömmliche Glühlampen,
 - c. weiße LEDs
 - d. Halogenlampen
4. Welche anderen Kriterien sollten bei der Auswahl eines Leuchtmittels berücksichtigt werden, um z.B. Umweltbelastungen gering zu halten? Nennt zwei weitere Kriterien!

Auch bei elektrischen Haushaltsgeräten wie beispielsweise einem Fernseher, einer Waschmaschine oder einem Computer hat die Energieeffizienz des Gerätes (neben der Benutzungsdauer) unmittelbaren Einfluss auf die Stromrechnung. Um entscheiden zu können, ob bzw. wie wir elektrische Geräte energieeffizienter bauen können, wollen wir zunächst betrachten, welche Komponenten und Baugruppen eines Elektrogeräts Strom benötigen um ihre angedachte Funktion zu erfüllen.

5. Aus welchen Komponenten und Baugruppen sind Elektrogeräte typischerweise aufgebaut? Wählt zur Beantwortung dieser Frage die in der Auflistung genannten Komponenten einer Waschmaschine aus, durch die elektrischer Strom fließt bzw. die Strom benötigen, um ihre Funktion zu erfüllen.
 - a. Waschmaschinegehäuse
 - b. Elektromotor
 - c. Netzteil
 - d. Waschtrommel
 - e. Programmwahlschalter
 - f. LCD-Anzeige
 - g. Steuerelektronik
 - h. Wasserzulaufschlauch
6. Als Verlustleistung bezeichnet man üblicherweise die Differenz zwischen der aufgenommenen Leistung und der in der gewünschten Art und Weise genutzten Leistung eines Gerätes. Wählt eine im vorherigen Unterpunkt genannte Komponente, die Strom benötigt, und erklärt, wodurch in ihr Verlustleistung entstehen kann!

3.1 Grundlagen der Energieeffizienz II

Im üblichen Sprachgebrauch, den wir bei der Aufgabenstellung ebenfalls verwenden, werden in Verbindung mit elektrischer Energie häufig unpassende Worte benutzt. Sie spiegeln nicht das wider, was tatsächlich mit der Energie passiert.

7. Was passiert mit der elektrischen Energie, die über das Netzkabel in ein Elektrogerät gelangt?
 - a. Die elektrische Energie wird verbraucht und verschwindet.
 - b. Die elektrische Energie wird über den Rückleiter im Netzkabel zurück in die Steckdose geleitet.
 - c. Die elektrische Energie wird in andere Energieformen umgewandelt und letztlich an die Umwelt abgegeben.
8. Welche Maßnahmen kann man als Benutzer eines Elektrogerätes ergreifen, um unnötigen Stromverbrauch zu vermeiden?

Lasst uns nun zum Thema Energieeffizienzsteigerung bei den Mikrochips kommen. Im Jahre 2009 hat Intel einen „Vielkernprozessor“ für Forschungszwecke vorgestellt. Dieser Single-chip Cloud Computer (SCC) beinhaltet 48 Prozessorkerne auf einem Stück Silizium und wurde gebaut, um Programmiermodelle und Powermanagementverfahren zu untersuchen. Er stellt im Prinzip einen Rechencluster-on-a-chip dar und ermöglicht ganz neue Forschungsbereiche. Wir werden uns unter anderem dem Energiebedarf eines SCC und 48 dedizierter (alter) Pentium Computer widmen, um die Einsparungsmöglichkeiten immer weiter fortschreitender Miniaturisierung zu illustrieren.

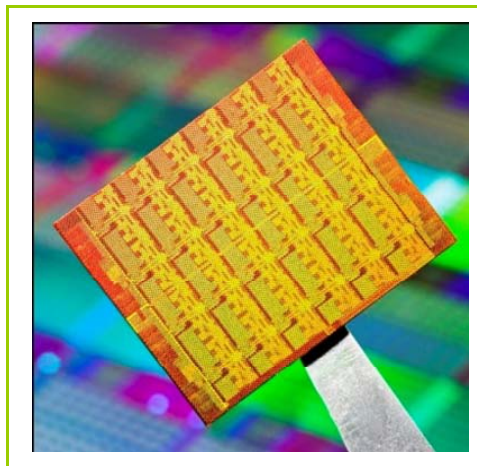


Abbildung 2 Single-chip Cloud Computer

Der Intel Single-chip Cloud Computer läuft mit 1 GHz Frequenz und verbraucht zwischen 25 und 125 W, je nach Last.

9. Berechnet, wie viel Leistung 48 „P5“ Pentiumprozessoren, die im Jahre 1994 mit 60/66 MHz getaktet wurden, verbraucht haben?

Hinweis: Es soll nur der Stromverbrauch des Prozessors berücksichtigt werden! Betrachtet den Maximalverbrauch, der auch als TDP (Thermal Design Power) bezeichnet wird.

3.1 Grundlagen der Energieeffizienz III

Bei den nächsten Fragen betrachten wir Supercomputer mit mehreren Tausenden von Kernen. Die Nummer 1 auf der Liste der TOP500 Supercomputer vom Juni 2010 (Jaguar) benötigt 6,95 Megawatt elektrischer Leistung und erzielt damit eine Rechenleistung von 1,759 PetaFLOPS! Durch die rasante Entwicklung im Bereich der Prozessoren wird erwartet, dass in ein paar Jahren die ExaFLOP Grenze durchbrochen wird.

10. Welchen Verbrauch hätte der Jaguar Großrechner, wenn er mit heutiger Technik ein ExaFLOP erreichen würde?

Hinweis: Verwendet zur Berechnung den oben angegebenen elektrischen Leistungswert vom Juni 2010.

11. Vergleiche das mit der Leistung von Windkraftanlagen. Der Windpark Alpha Ventus in der Deutschen Bucht liefert 60 MW Energie (12 Turbinen á 5 MW). Wie viele einzelne Turbinen der 5-MW Klasse bräuchte man um diesen hypothetischen Jaguar mit ExaFLOP Rechenleistung betreiben zu können?

12. Die Nummer 1 der TOP 500 Supercomputer auf der Liste vom November 2010 heißt Tianhe-1A und seine Leistungsaufnahme ist 4 MW. Angenommen, man würde Tianhe-1A soweit mit Prozessoren aufrüsten, bis er dieselbe Leistung verbraucht wie Jaguar. Was wäre seine Rechenleistung?

13. Wann wird der erste Supercomputer die ExaFLOP Grenze erreichen, wenn dieser Trend (Wachstumsrate von Jahr zu Jahr, CAGR) bestehen bleibt?

Hinweis: Für diese Berechnung geht davon aus, dass Tianhe-1A im Jahre 2010 genau ein Jahr nach Jaguar in Betrieb genommen wurde!

Form der Lösung für die Unteraufgabe 3.1

- Antwort auf Frage 1 und 2
- mit dem effizientesten Leuchtmittel beginnende Reihenfolge als Antwort auf Frage 3
- Antwort auf Frage 4
- Auswahl der entsprechenden Komponenten als Antwort auf Frage 5
- Antwort auf Frage 6
- Auswahl der richtigen Aussage als Antwort auf Frage 7
- Antworten auf Fragen 8 – 13

3.2 Energiebilanz bei Transistoren und Gattern I

In diesem Aufgabenteil betrachten wir die Energiebilanz bzw. Verlustleistung grundlegender Schaltungselemente von Mikrochips. Es werden einfachere und komplexere Zusammenschaltungen von NMOS- und PMOS-Transistoren untersucht und verglichen. Zunächst stehen die Transistoren selbst im Mittelpunkt, für die Abbildung 3 die Schaltzeichen darstellt.

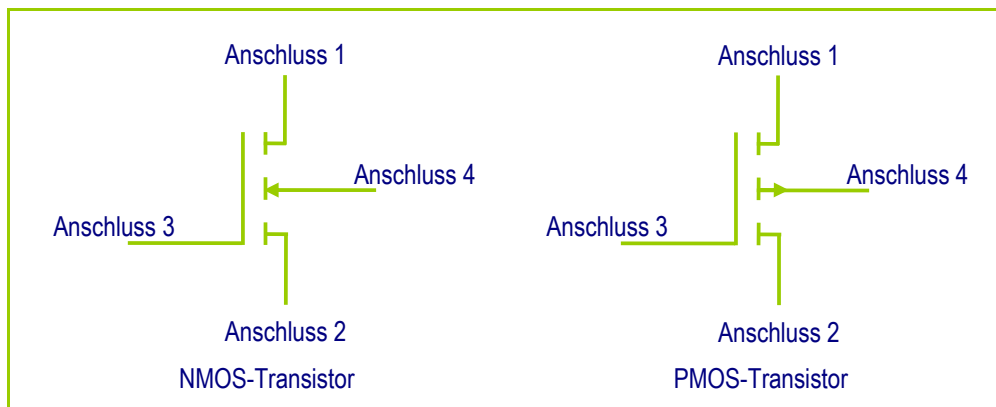


Abbildung 3 Schaltzeichen eines NMOS- und PMOS-Transistors

Bei dieser und den weiteren Aufgabenteilen werden die Transistoren als Schalter betrachtet, die entweder „offen“ oder „geschlossen“ sein können. Diese Betrachtung ist insbesondere bei digitalen Schaltungen oft hinreichend genau, auch wenn bei dem Entwurf von Prozessoren und anderen Mikrochips nicht immer auf eine genauere Untersuchung der Transistoren verzichtet werden kann.

1. Benennt die Anschlüsse der beiden in der Abbildung 2 dargestellten Transistor-Grundtypen?

Hinweis: Verwendet die englischen Bezeichnungen der Anschlüsse.

2. Füllt Tabelle 1 aus, die angibt, für welche Spannungen die oben dargestellten NMOS- und PMOS-Transistoren den Zustand „offen“ oder „geschlossen“ annehmen?

Hinweis: In der Aufgabe kann U_{DS} als hinreichend groß angenommen werden, sodass der Transistor als ein idealer Schalter betrachtet werden kann.

Tabelle 1 Vorlage für die Aufgabe 3.2.2

Gate-Spannung U_{GS}	NMOS-Transistor [offen/geschlossen]	PMOS-Transistor [offen/geschlossen]
$U_{GS}=U_{SS}$ (entspr. logisch „0“)		
$U_{GS}=U_{DD}$ (entspr. logisch „1“)		

Durch Zusammenschaltung von NMOS- und PMOS-Transistoren lassen sich sogenannte Logikgatter (Gatter) aufbauen, bei denen nicht mehr Spannungen betrachtet werden sondern Logikpegel. Am häufigsten werden Gatter mit zwei Logikpegeln verwendet. Diese binäre Logik benutzt als Logikpegel bzw. Zustände „logische Null“ („0“) und „logische Eins“ („1“).

3.2 Energiebilanz bei Transistoren und Gattern II

3. Gebt für folgende Gatter die zugehörige Wahrheitstabelle an, welche die Logikfunktion beschreibt.
 - a. NAND-Gatter mit zwei Eingängen
 - b. ODER-Gatter mit zwei Eingängen
 - c. Inverter

Ein weiteres wichtiges Grundelement digitaler Schaltungen ist das sogenannte D-Flip-Flop (kurz DFF), das die Speicherung eines Logikzustands ermöglicht. Neben einem Eingangs- und einem Ausgangsanschluss für das zu speichernde Datensignal (und den obligatorischen Versorgungsspannungsanschlüssen) besitzt ein D-Flip-Flop einen weiteren Eingang, der zur Kontrolle des Speicherzeitpunkts verwendet wird. Er wird als Takt- bzw. (engl.) Clock-Eingang (CLK) bezeichnet. In den meisten Fällen wird die steigende Flanke des Signals am Clock-Eingang als Zeitpunkt für das Speichern des Eingangslogikzustands verwendet. Der zeitliche Verlauf eines typischen Taktsignals sieht üblicherweise wie folgt aus:

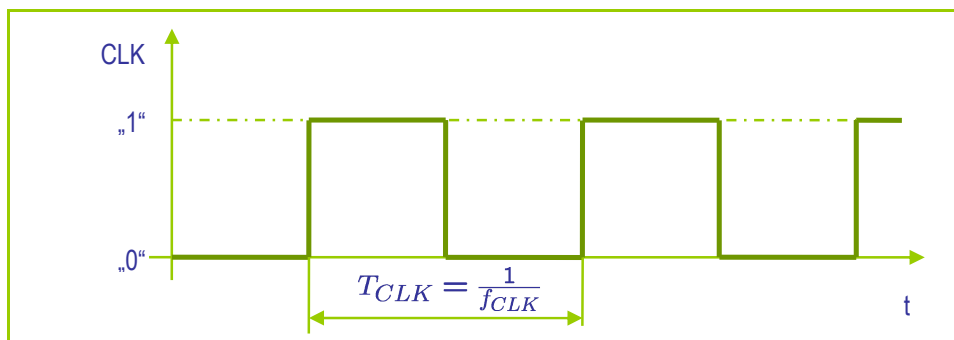


Abbildung 4 Taktsignal

4. Gebt das Schaltsymbol nach DIN an und vervollständigt die Tabelle 2 für ein D-Flip-Flop, das die positive Taktflanke zur Datenspeicherung benutzt (engl. positive edge-triggered).

Tabelle 2 Vorlage für die Aufgabe 3.2.4

Dateneingang D	Clock-Eingang CLK	Datenausgang Q
0		
0	1	
0		
0	0	
1	0	
1		
1	1	
1		

3.2 Energiebilanz bei Transistoren und Gattern III

Die geeignete (komplementäre) Zusammenschaltung eines NMOS- und eines PMOS-Transistors bildet einen CMOS-Inverter (Complementary Metal Oxide Semiconductor (vgl. Abbildung 5)). Für die digitale Funktion als Inverter werden die beiden Schaltungszustände betrachtet, bei denen die Eingangsspannung U_{DD} bzw. U_{SS} beträgt. Beträgt die Eingangsspannung $U_{EIN} = U_{SS}$, wird der Ausgang quasi über den PMOS-Transistor mit der Betriebsspannung U_{DD} verbunden (vgl. Abbildung 5 links). Liegt am Eingang die Spannung U_{DD} an, so wird über den NMOS-Transistor quasi eine Verbindung zwischen dem Ausgang und der Spannung U_{SS} (in den meisten Fällen 0 V bzw. Masse) hergestellt. Da Inverter und andere Gatter in einer großen Menge auf einem Mikrochip eingesetzt werden, befinden sich am Ausgang der einzelnen Gatter andere Gatter, die als Last angesehen werden. Überdies spielen bei den kleinen Strukturen auch die Verbindungsleitungen eine große Rolle, die ebenfalls zu der Last dazugezählt werden. Beide Aspekte (Gatter und Verbindungsleitungen) werden als (Last-)Kapazität zusammengefasst, die aufgeladen und entladen werden. Bei jedem Auf- bzw. Entladevorgang muss die Energie W zu- bzw. abgeführt werden. Für diese Vorgänge gilt folgende Formel:

$$W = \frac{1}{2} \cdot C_L \cdot U_{DD}^2$$

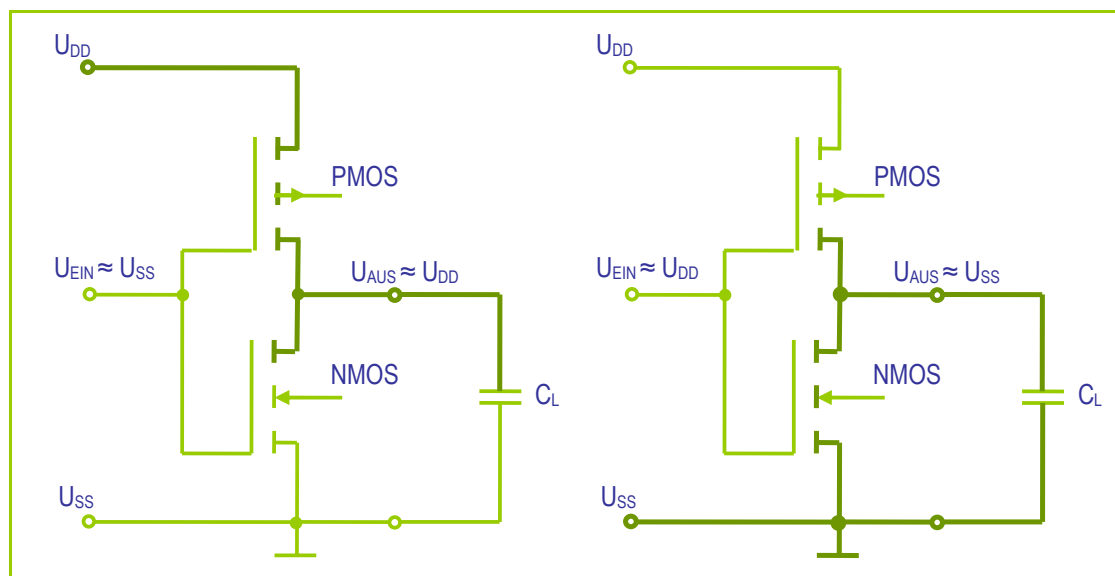


Abbildung 5 CMOS-Inverter

Damit ergibt sich die maximale dynamische Verlustleistung pro Takt (Cycle), in dem bei steigender bzw. fallender Taktflanke ein digitaler Eingangssignalwechsel von „0“ auf „1“ bzw. von „1“ auf „0“ stattfinden kann, zu:

$$P_{dyn} = 2 \cdot \frac{W}{T_{CLK}}$$

$$P_{dyn} = 2 \cdot \frac{\frac{1}{2} \cdot C_L \cdot U_{DD}^2}{T_{CLK}}$$

$$P_{dyn} = C_L \cdot U_{DD}^2 \cdot f_{CLK}$$

- Wie groß ist die maximale dynamische Verlustleistung eines CMOS-Inverters bei angenommener Lastkapazität am Ausgang von 0,025 fF (Femto-Farad), 2 GHz Taktfrequenz und 1,2 V Betriebsspannung?

3.2 Energiebilanz bei Transistoren und Gattern IV

Da ein Eingangssignalwechsel im realen Betrieb nicht bei jeder Taktflanke stattfindet, wird zur Berechnung (Abschätzung) der Verlustleistung eines Chips ein zusätzlicher Faktor σ (Sigma) verwendet, der die mittlere Schaltaktivität beschreibt.

6. Wie groß ist die Verlustleistung eines Micro-Chips mit dyn. Gesamlastkapazität von 100 nF bei einer Betriebsspannung von 1,2 V, einer Taktfrequenz von 2 GHz und einer mittleren Schaltaktivität von 10%?
7. Welche Kantenlänge müsste ein quadratischer, luftgefüllter Plattenkondensator mit Plattenabstand 1 mm haben, damit er eine Kapazität von 100 nF besitzt?

Neben der Verlustleistung durch das Umladen der Lastkapazität entstehen bei CMOS-Schaltungen weitere Verluste. Dies sind zum einen weitere dynamische Verluste durch sogenannte Querströme von U_{DD} nach U_{SS} , die bei Eingangsspannungswechsel dadurch entstehen, dass sowohl PMOS als auch NMOS-Transistor zur gleichen Zeit eine gewisse Leitfähigkeit besitzen (z.B. bei $U_{DD}/2$), was zu einem Stromfluss führt. Zum anderen treten statische Verluste auf, die durch sog. Leckströme entstehen, z.B. zwischen den Transistoranschlüssen und dem auf einem bestimmten elektrischen Potential liegendem Substrat (Grundfläche, auf dem die Transistoren liegen). Beide Verlustleistungsanteile werden in diesem Unterpunkt nicht weiter betrachtet.

8. Zeichnet die CMOS-Schaltung für ein NAND-Gatter mit 2 Eingängen und einem Ausgang. Benutzt dabei die in Abbildung 3 dargestellten NMOS- und PMOS-Transistortypen. Zeichnet die zwei Eingänge in eurem Bild links und den Ausgang rechts und kennzeichnet sie deutlich mit den Buchstaben A, B (Eingänge) und Y (Ausgang).
9. Ergänzt das Diagramm in Abbildung 6 um den Ausgangswert Y eines NAND-Gatters! Dabei sollt ihr annehmen, dass eine Änderung des Eingangswertes unmittelbar (ohne Verzögerung) das Ausgangssignal beeinflussen kann. Betrachtet die Wechsel des gezeichneten Ausgangssignals und beantwortet folgende Fragen:
 - a. Wie viele Signalwechsel gibt es am Ausgang Y?
 - b. Wie viele Auf- bzw. Entladevorgänge gibt es pro Takt?
 - c. Berechnet analog zur Vorgehensweise beim Inverter die dynamische Verlustleistung für das NAND-Gatter mit dem unter 3.2.9 gezeichneten Eingangssignalverhalten und unter der Annahme, dass sich diese Eingangssignale (unendlich lange) periodisch wiederholen.

Hinweis: Verwendet für Betriebsspannung, Taktfrequenz und Lastkapazität dieselben Werte wie beim Inverter aus Aufgabe 3.2.5.
10. Unterscheidet sich die berechnete Verlustleistung für das NAND-Gatter von der Verlustleistung des Inverters in 3.2.5? Falls ja, wieso? Falls nein, wieso nicht?

Generell gibt es keine Beschränkung für den Zeitpunkt, zu dem sich die Eingangssignale eines Logikgatters ändern dürfen. Logikgatter wie NAND, INV oder andere besitzen keinen Takteingang und arbeiten daher prinzipiell „asynchron“. Erst bei geeigneter Zusammenschaltung mit getakteten Schaltungselementen wie beispielsweise den D-Flip-Flops ergibt sich ein „synchrones“ Schaltungsverhalten, bei dem Signalwechsel (am Ausgang der DFFs) quasi gleichzeitig stattfinden.

3.2 Energiebilanz bei Transistoren und Gattern V

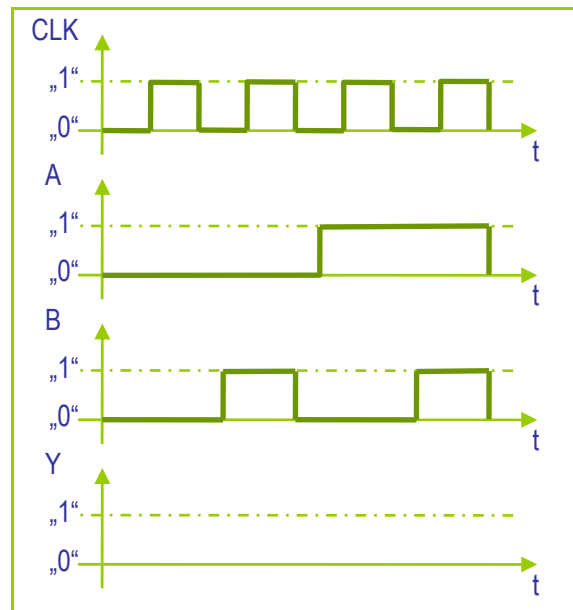


Abbildung 6 Vorlage für die Aufgabe 3.2.9

Form der Lösung für die Unteraufgabe 3.2

- Benennung der Anschlüsse als Antwort auf Frage 1
- Ausgefüllte Tabelle 1 als Antwort auf Frage 2
- Wahrheitstabellen der angegebenen Gatter als Antwort auf Frage 3
- Schaltzeichen und ausgefüllte Tabelle 2 als Antwort auf Frage 4
- Antworten auf Fragen 5 – 7
- Schaltbild eines NAND-Gatters als Antwort auf Frage 8
- Vervollständigte Abbildung 6 sowie Ergebnisse der Betrachtung der Unterfragen als Antwort auf Frage 9
- Antwort auf Frage 10

3.3 Energieeffizienz bei Mikrochips I

Neben der logischen Funktion von Gattern haben auch die Signallaufzeiten von Gattern und Leitungen, die sich aus elektrischen und geometrischen Eigenschaften ergeben, sowie die Topologie einer Schaltung, d.h. in welcher Weise die Gatter zusammenschaltet sind, einen wesentlichen Einfluss auf ihre Energieeffizienz.

Am Beispiel einer negierten UND-Schaltung mit 8 Eingängen (8-input NAND) soll dies von Euch untersucht werden. Die Schaltung soll aus mehreren Logik-Gattern mit 2 Eingängen aufgebaut werden, die teilweise bereits in Aufgabenteil 3.2 untersucht wurden. Die Laufzeitverzögerung eines jeden Logik-Gatters (Blocks), d.h. die Zeit die zwischen einem Signalwechsel am Eingang und dem resultierenden Signalwechsel am Ausgang vergeht, betrage τ . Die Gatterlaufzeit τ sei deutlich kleiner als die Taktperiode T_{CLK} . Folgende funktional identische Schaltungsvarianten sollen hinsichtlich ihrer Energieeffizienz untersucht werden:

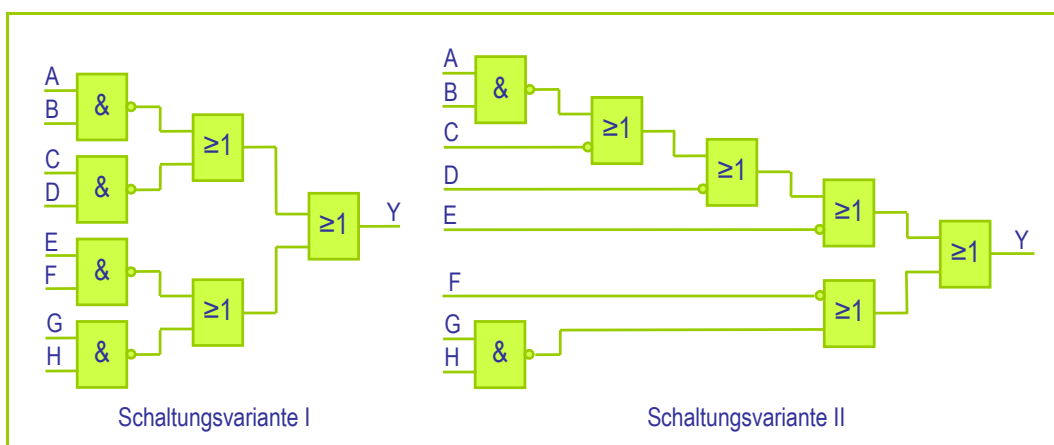


Abbildung 7 Unterschiedliche Realisierungen eines NAND-Gatters mit 8-Eingängen

Die Eingänge A bis G werden über D-Flip-Flops angesteuert, die einen synchronen Wechsel aller Eingangssignale sicherstellen und in Abbildung 7 nicht dargestellt sind. Für die Bestimmung der Verlustleistung der dargestellten Schaltungsblöcke sollen folgende Signalverläufe am Eingang des NAND-Gatters benutzt werden:

Tabelle 3 Signalverlauf am Eingang des NAND-Gatters

Taktflanke	A	B	C	D	E	F	G	H	Y
1	1	1	1	1	1	1	1	1	
2	0	1	1	0	0	1	1	1	
3	1	1	1	1	0	1	1	1	
4	1	1	0	1	1	1	0	1	
5	1	1	1	1	1	0	1	1	
6	1	0	1	1	1	1	1	0	

- Bestimmt die Verlustleistungen der Schaltungsvarianten I) und II) unter der Annahme, dass sich die in der Tabelle angegebenen Signale periodisch wiederholen (d.h nach den Eingangswerten bei Taktflanke 6 folgen wieder die Eingangswerte von Taktflanke 1). Die Betriebsspannung betrage 1,05 V, die Taktfrequenz 1,8 GHz und die Lastkapazität am Ausgang Y ist 0,12 fF. Die Lastkapazitäten an allen übrigen Gatterausgängen sollen mit 0,025 fF angenommen werden.

Hinweis: Geht schrittweise vor, indem ihr zuerst die Anzahl der Auf- und Entladevorgänge bestimmt und dann die Verlustleistungen berechnet.

- Beschreibt in maximal zwei Sätzen warum sich die Verlustleistungen der beiden Schaltungsvarianten unterscheiden.

3.3 Energieeffizienz bei Mikrochips II

Die dynamische Verlustleistung einer elektronischen Schaltung ist von vielen Faktoren abhängig: unter anderem von der angelegten Spannung, der Frequenz mit der sie betrieben wird, der Kapazität, die umgeladen werden muss, und anderen Faktoren.

Um den Energieverbrauch zu verringern, kann man an diesen „Stellschrauben“ drehen. Halbleiterhersteller arbeiten unaufhörlich an neuen Technologien, um immer kleinere Strukturen herstellen zu können (Verringerung der Kapazität), forschen an neuartigen Materialien, die geringere Spannungen ermöglichen und denken sich immer neue schaltungstechnische Methoden aus, um Energie zu sparen: die Frequenzen werden so oft wie möglich auf ein Minimum heruntergefahren, ganze Funktionsblöcke werden komplett abgeschaltet, Chips nur dann mit Strom versorgt, wenn es notwendig ist. Dies kann beispielsweise anhand des Prozessors in Abbildung 8 verdeutlicht werden. Würde dieser Prozessor lediglich für das Dekodieren von MP3 Dateien verwendet werden, so würde er drei seiner Kerne komplett abschalten, da die Rechenleistung nicht benötigt wird.

3. Beschreibt mit eigenen Worten und in maximal zwei Sätzen die Technik „Clock Gating“. Wie funktioniert Clock Gating?
4. Beschreibt mit eigenen Worten und in maximal zwei Sätzen die Technik „Power Gating“. Wie funktioniert Power Gating?
5. Welche der beiden Techniken ist besser in Hinsicht auf Energieeinsparung und warum? Begründet Eure Antwort in maximal zwei Sätzen!

In aktuellen Prozessoren werden natürlich Frequenz- und Spannungsänderungen kombiniert um die größtmögliche Energieeffizienz zu erreichen. Intel's SpeedStep und AMD's Cool 'n' Quiet sind Technologien, die den Stromverbrauch von Prozessoren senken helfen sollen. Ein Prozessor, der nicht viel zu tun hat, muss nicht mit voller Geschwindigkeit laufen und kann dadurch Energie sparen.

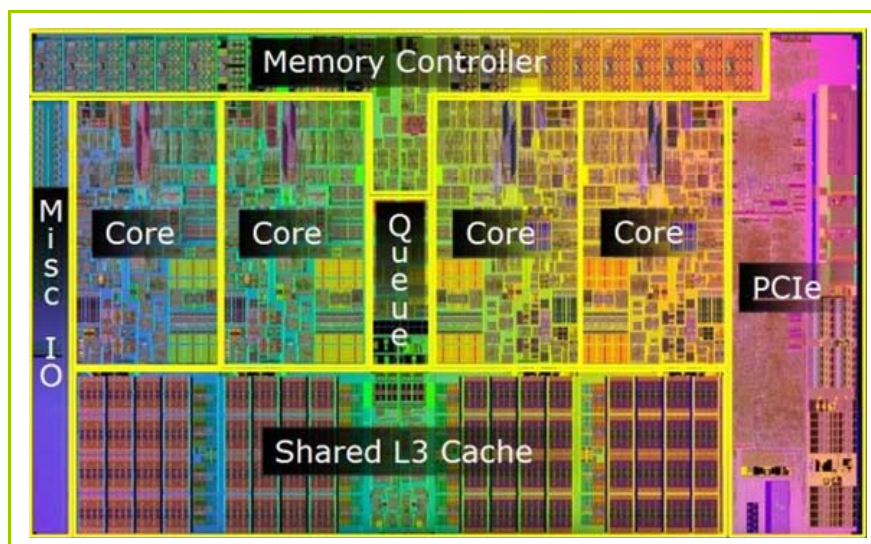


Abbildung 8 Prozessor mit vier Rechenkernen

3.3 Energieeffizienz bei Mikrochips III

6. Unter Berücksichtigung der Formel in Aufgabenteil 3.2 berechnet die prozentuale Energieersparnis wenn durch Speedstep oder Cool'n'Quiet die Frequenz eines Prozessors von 2 GHz auf 1,4 GHz (um 30%) gesenkt wird.
7. Berechne die prozentuale Energieersparnis, wenn stattdessen die Spannung von 1.2 V auf 0.84 V (um 30 %) gesenkt wird.
8. Vergleiche die jeweilige Änderung mit der Ersparnis (in Prozent). Welche Technik ist die wirksamere und wieso? Begründet Eure Antwort in maximal zwei Sätzen.

Form der Lösung für die Unteraufgabe 3.3

- Antworten auf Fragen 1 – 8

3.4 Techniken zur Energieeffizienzsteigerung I

Anhand zweier Beispiele soll die Anwendung von Techniken zur Reduktion der Verlustleistung in Schaltungen betrachtet werden. Zunächst schauen wir uns die Kodierung an.

Kodierung

Ein Sprachsignal soll digitalisiert und über ein längeres 5-adriges Kabel zu einem Empfänger übertragen werden. Jede Leitung des Kabels stellt eine nicht unerhebliche Lastkapazität dar, die bei jedem Signalwechsel jeweils auf- bzw. entladen werden muss. Gesucht wird eine geeignete Kodierung, welche die Daten möglichst verlustleistungsarm überträgt. Daher soll ihr zwei unterschiedliche Kodierungsarten bezüglich ihrer Energieeffizienz für ein typisches Datensignal untersuchen: Binäre (Zweier-Komplement) Kodierung und Signed-Magnitude Kodierung.

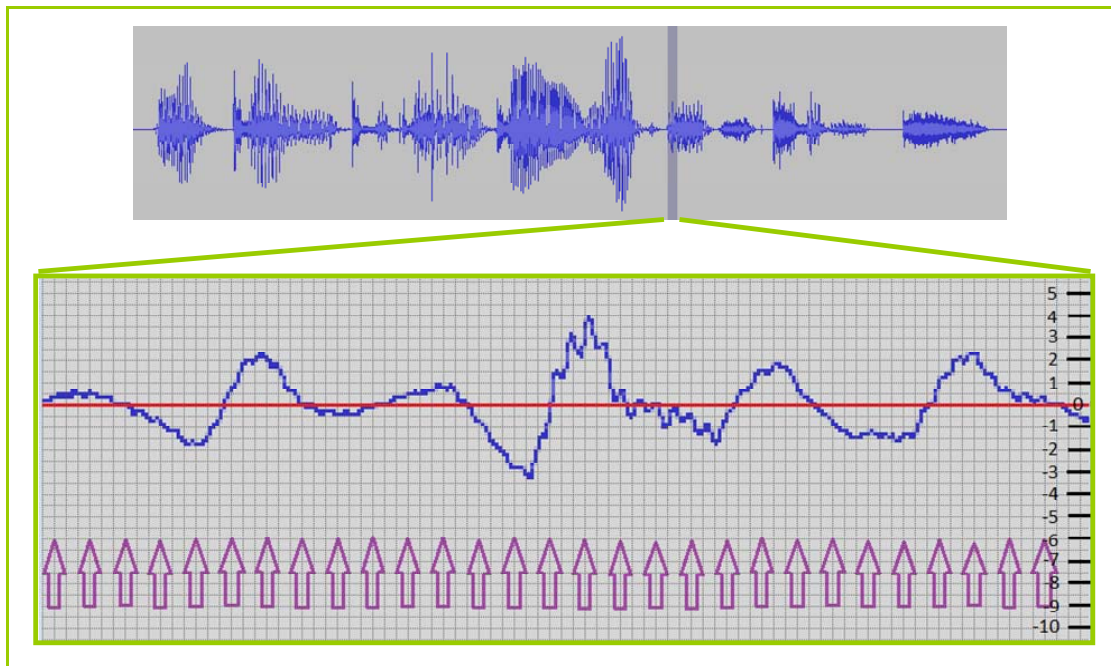


Abbildung 9 Beispiel eines Signalverlaufs

Die dezimalen Abtastwerte des digitalisierten Datensignals könnt ihr Abbildung 9 entnehmen. Das zu kodierende Signal liegt im Wertebereich von $[-15 \dots +15]$. Die Kodierungsschemata für Binäre Kodierung bzw. Signed-Magnitude-Kodierung findet ihr in Tabelle 4.

Tabelle 4 Kodierungsschemata

Dezimal	Binär Kodierung (Zweier-Komplement)	Signed-Magnitude Kodierung
+15	01111	01111
+14	01110	01110
...
1	00001	00001
0	00000	00000
-1	11111	10001
-2	11110	10010
...
-14	10001	11110
-15	10000	11111

3.4 Techniken zur Energieeffizienzsteigerung II

1. Führt eine Kodierung der 29 dezimalen Abtastsignalwerte durch für A) Binär-Kodierung und B) Signed-Magnitude Kodierung. Ermittelt anschließend die Anzahl der Signalwechsel für jedes Bit.
Hinweis: Verwendet die Vorlage aus Tabelle 5!
2. Welches Kodierungsschema ist für den betrachteten Anwendungsfall geeigneter (Energieeffizienter)?

Tabelle 5 Vorlage für die Aufgabe 3.4.1

Takt	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29
Dezimalwert																													
Bit 0																													
Bit 1																													
Bit 2																													
Bit 3																													
Bit 4																													

Pipelining

Wie in Aufgabenteil 3.2 bereits erwähnt, gehören D-Flip-Flops zu den wichtigsten Schaltungselementen in getakteten Digitalerschaltungen. Sie können sowohl zur einfachen Speicherung von Daten (Bit), zur Erhöhung der Taktfrequenz durch sogenanntes Pipelining sowie, bei geeigneter Platzierung, zur Reduktion von Schaltungsrippeln² und damit der Verlustleistung eingesetzt werden. Mit Letzterem wollen wir uns hier befassen.

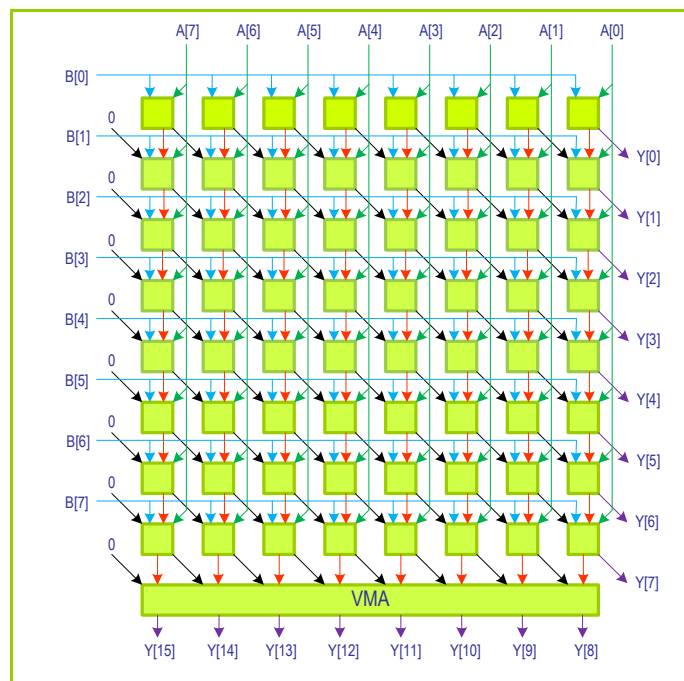


Abbildung 10 8-Bit-Array-Multiplizierer

² Bei den Schalungsrippeln handelt es sich um Zustandswechsel von Signalen, die sich innerhalb einer Schaltung wellen- oder stufenartig ausbreiten.

3.4 Techniken zur Energieeffizienzsteigerung II

Dazu betrachten wir einen 8-Bit-Array-Multiplizierer für vorzeichenlose, positive Zahlen mit Carry-Save-Architektur. Abbildung 10 zeigt die reguläre, systolische Array-Struktur der $8 * 8 = 64$ Processing Elemente sowie ihre Verschaltung. Systolisch bedeutet dabei, dass jedes Processing Element nur Verbindungen zu den jeweils benachbarten Elementen hat. Dadurch existieren nur kurze Verbindungsleitungen, was u.a. Verlustleistungseinsparung zur Folge hat, da jede Leitung entsprechend ihrer geometrischen Abmessungen eine gewisse kapazitive Last darstellt. Der mit VMA gekennzeichnete Block ist ein weiterer Addierer, der für das korrekte Multiplikationsergebnis erforderlich ist. Er addiert die Summen- und Übertrags-Bits der letzten Zeile des Carry-Save-Arrays. Funktional kann er als Carry-Ripple-Addierer betrachtet werden, der jeweils das Carry-Ausgangsbit einer Spalte und das Summen-Ausgangsbit der linken Nachbarspalte binär addiert. Eventuell entstehende Überträge werden im VMA nach links (zur nächsten höherwertigen Bitposition) weitergeleitet und entsprechend aufaddiert.

Ein Processing Element ist vergrößert in Abbildung 11 dargestellt. Es besitzt 4 Eingänge, 2 Ausgänge und erfüllt die Funktion eines Volladdierers (engl. full adder) mit einem zusätzlichen UND-Gatter. Es führt eine UND-Verknüpfung zwischen den Eingängen A und B aus ($PT = A \wedge B$), addiert die zwei Eingangsbits C und D sowie PT binär und gibt das Ergebnis als zweistellige Binärzahl aus. Das niederwertige Ergebnis-Bit ist das Summen-Bit (Sum), das höherwertige Ergebnis-Bit ist das Übertrags-Bit (Carry). Die Booleschen Logikfunktionen für Summen- und Übertrags-Bit lauten:

$$SUM = (A \wedge B) \oplus C \oplus D$$

$$CARRY = (A \wedge B \wedge C) \vee (A \wedge B \wedge D) \vee (C \wedge D)$$

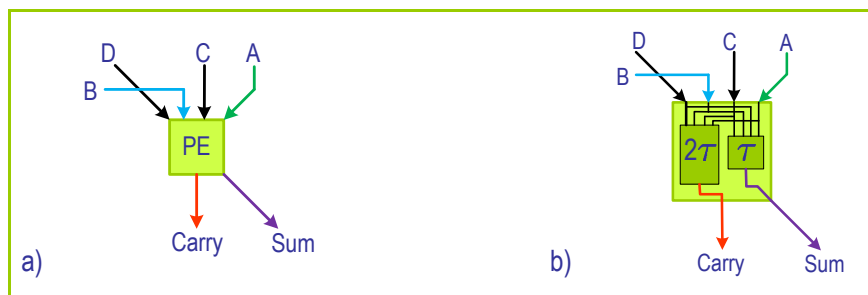


Abbildung 11 Processing Elemente

3. Gebt die vollständige Wahrheitstabelle für das Processing Element (PE) mit 4 Eingängen und 2 Ausgängen an!

Für die folgenden Aufgabenpunkte soll angenommen werden, dass die Signallaufzeit zwischen den Eingängen und dem Carry Ausgang 2τ betrage, die Signallaufzeit zwischen den Eingängen und dem Summenausgang 1τ (vgl. Abbildung 11). Nehmt weiterhin an, dass der VMA-Block eine Verzögerungszeit von 4τ zwischen Eingang und Ausgang für jedes Bit hat. Die Eingänge C und D aller Processing Elemente der ersten Zeile liegen fest auf „0“.

4. Welches Ergebnis-Bit wird beim oben dargestellten CSA-Multiplizierer zuerst berechnet bzw. liegt nach einem Eingangssignalwechsel nach der kürzesten Zeit am Ausgang stabil an? Wie groß ist diese Verzögerung?

3.4 Techniken zur Energieeffizienzsteigerung IV

5. Welches Ergebnis-Bit hat die größte Verzögerung (Latenz) zwischen Eingangssignalwechsel und stabilem Ausgangsergebnis-Bit. Wie groß ist die Verzögerung?
6. Berechnet mit Hilfe des dargestellten CSA-Multiplizierers das Produkt von $A = 26_{10}$ (00011010_2) und $B = 13_{10}$ (00001101_2). Gebt dabei jeweils die beiden Ausgangswerte (Carry, Sum) der Processing-Elemente jeder Zeile an. Dies soll übersichtlich in Form von 8-stelligen Binärzahlen für Carry- und Summenausgangs-Bits erfolgen. Die Spalten des Multiplizierer-Arrays werden dabei von rechts nach links beginnend mit 0 indiziert. D.h. die Spalte am rechten Rand entspricht dem Bit-Index 0, die Spalte ganz links entspricht dem Bit-Index 7.

Hinweise: - Die Laufzeiten der Processing-Elemente sind für diesen Unterpunkt nicht relevant.

- Verwendet Tabelle 6 als Vorlage.

7. Wie lautet das binäre Ergebnis $Y[15:0]$?

Tabelle 6 Vorlage für die Aufgabe 3.4.6

	Carry-Bits $C_{out}[7:0]$	Summen-Bits $Sum[7:0]$
Ausgänge der 1. Zeile	00000000	00011010
Ausgänge der 2. Zeile		
Ausgänge der 3. Zeile		
Ausgänge der 4. Zeile		
Ausgänge der 5. Zeile		
Ausgänge der 6. Zeile		
Ausgänge der 7. Zeile		
Ausgänge der 8. Zeile		

Die obige Carry-Save-Array-Multiplizierer-Schaltung soll nun von Euch durch das Einfügen von D-Flip-Flops (Pipelining) hinsichtlich ihrer Verlustleistung optimiert werden. Dazu kann prinzipiell nach jeder Zeile von Processing Elementen ein Pipeline-Schnitt gemacht werden. Die D-Flip-Flops bewirken einerseits, dass Bitwechsel zwischen den Processing-Elementen (engl. ripple) begrenzt werden. Dies reduziert die Verlustleistung. Andererseits stellt jedes D-Flip-Flop eine zusätzlich Lastkapazität dar, die umgeladen werden muss und somit die Verlustleistung erhöht. Um die Komplexität der Aufgabe zu begrenzen, sollt ihr exemplarisch für 2 unterschiedliche Schaltungsvarianten (einmal mit und einmal ohne Pipelining) und für eine bestimmte, vorgegebene Eingangswertkombination von A und B die Verlustleistungen der 2 Schaltungsvarianten ermitteln. Die Lastkapazität an jedem Ausgang eines Processing-Elements betrage 0,025 fF; die Lastkapazität eines D-Flip-Flops soll ebenfalls mit 0,025 fF modelliert werden. Die Taktfrequenz betrage 1 GHz; die Betriebsspannung sei 1,0 V.

3.4 Techniken zur Energieeffizienzsteigerung V

8. Die Eingangswerte von A und B sind seit einiger Zeit 0, sodass alle internen Signale entsprechend initialisiert wurden. Ermittelt für die nun synchron angelegten Eingangsdaten $A=171$ und $B=227$, welche Verlustleistungen sich in den beiden Schaltungsvarianten (mit bzw. ohne Pipelining) für die Rechenoperation $A * B$ ergeben. Betrachtet dabei nur das Array der CS-Processing-Elemente ohne den VMA-Block. Berücksichtigt, dass alle durch Pipeline-Schnitte hinzugefügten D-Flip-Flops die Verlustleistung erhöhen können. Mögliche Schaltungsvarianten (vgl. Abbildung 12) sind:

- Schaltung mit 1 Pipeline-Schnitt nach der Zeile 4
- Schaltung ohne Pipelining

Hinweis: Beachtet, dass für eine Schaltung mit Pipeline-Schnitten mehrere Takte notwendig sind, bis das Ergebnis am Ausgang erscheint, d.h. die Rechenoperation komplett ist.

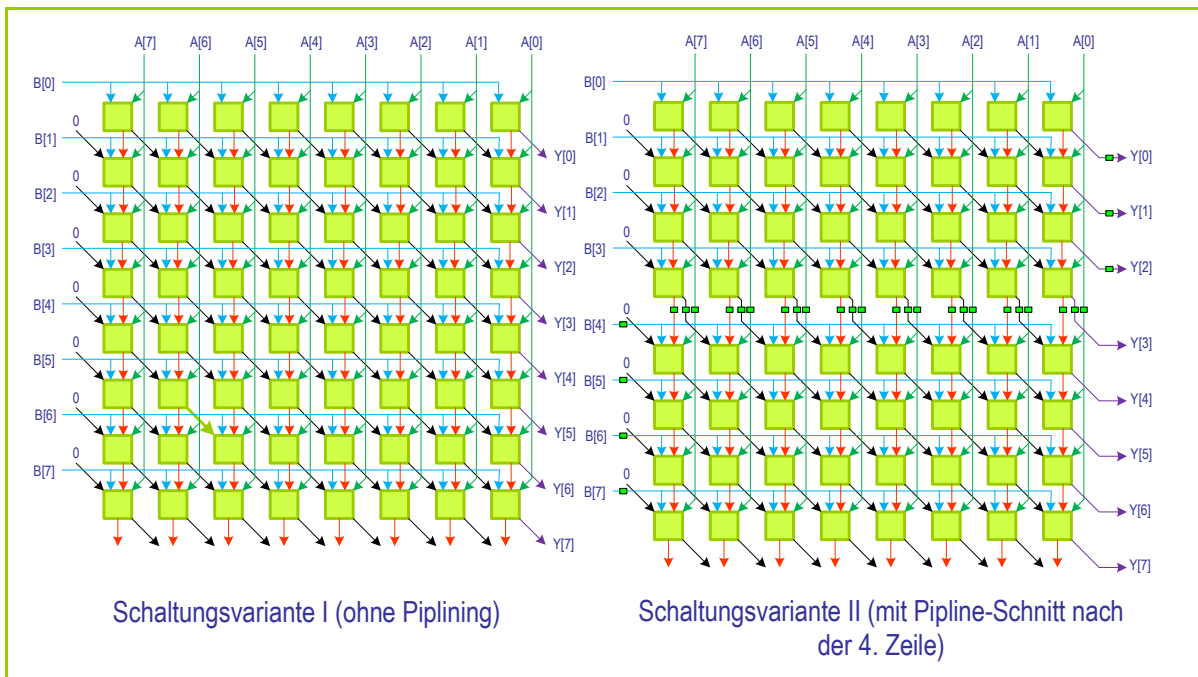


Abbildung 12 Processing-Element-Array mit und ohne Pipelining

Form der Lösung für die Unteraufgabe 3.4

- Ausgefüllte Tabelle 5 (pro Kodierung eine Tabelle) sowie je die Anzahl der Signalwechsel als Antwort auf Frage 1
- Antwort auf Frage 2
- Wahrheitstabelle als Antwort auf Frage 3
- Antworten auf Fragen 4 – 5
- Ausgefüllte Tabelle 6 als Antwort auf Frage 6
- Antwort auf Frage 7
- Verlustleistung beider Schaltungsvarianten sowie Erläuterung der Vorgehensweise bei der Berechnung der Werte (maximal 4 Sätze) als Antwort auf Frage 8

Wichtige Informationen

Falls ihr Fragen zu den Aufgaben habt oder eine Hilfestellung benötigt, so schaut doch einfach in unser Forum:

<http://www.intel-leibniz-challenge.de/forum/>

Abgabe der Lösungen:

Wo: www.intel-leibniz-challenge.de/portal

Wie: Genauigkeit der Lösungen

Falls nicht anders gefordert, gebt bei den Lösungen maximal drei signifikante Stellen an (z. B. 1,52 mA, 42,1 kW, 123 V etc.)!

Form der Abgabe und Dateibenennung:

Für jede Unteraufgabe soll nur eine Datei abgegeben werden. Falls mehrere Dateien vorhanden sind, müssen sie in eine zip-Datei gepackt werden. Die Datei muss wie folgt benannt werden:

Gruppenname_Aufgabe_Unteraufgabe.zip

Für die Abgabe der Aufgabe 3.1 müsste die „Muster Gruppe“ folgende Datei hochladen:

MusterGruppe_3_1.zip

Verwendet bitte keine Leerzeichen und Sonderzeichen in den Dateinamen!

Zulässige Dateiformate:

Textformate: PDF mit eingebetteten Bildern, txt

Bildformate: jpg, bmp, png, wmf

Videoformate: flv, avi, mpg, ogg

Audioformate: mp3, wma, wav, ogg

Dateigrößen und Dateiinhalt

Die Dateien sollten nicht größer als 7,5 MB sein! Bitte gebt in der Datei (nicht im Dateinamen) auch euren Teamnamen, die Namen der Gruppenmitglieder sowie deren Schulen an. Erzeugt dafür eine zusätzliche Textdatei!

Wann: Bis zum 08.05.2011 um 23:59 Uhr

Hinweis: Um sicher zu gehen, dass eure Dateien wirklich fehlerfrei und für die Korrektoren zu öffnen sind, solltet ihr eure Zip-Dateien nochmals von eurem Account runterladen und öffnen. Dateien, die sich nicht öffnen lassen, können nicht bewertet werden!

Die AGB und weitere Informationen findet ihr unter: www.intel-leibniz-challenge.de
Der Rechtsweg ist ausgeschlossen!