

3.1 Musterlösung

Grundlagen der Energieeffizienz

1. Die Energieeffizienz der Leuchtmittel wird in der EU-Richtlinie 98/11/EG anhand des von dem Leuchtmittel erzeugten **Lichtstroms** (Einheit **Lumen, lm**) und der **Leistungsaufnahme** (Einheit **Watt, W**) bewertet. , Einheit Lumen [lm].
2. In der oben genannten Richtlinie sind sieben Energieeffizienzklassen definiert und mit den Buchstaben **A, B, C, D, E, F** und **G** bezeichnet. Die beste Energieeffizienz weisen die Leuchtmittel der Energieeffizienzklasse **A** auf.
3. Die Reihenfolge der einzelnen Leuchtmittel bzgl. ihrer Energieeffizienzklasse ist wie folgt:
 - Leuchtstoffröhren (Energieeffizienzklasse A-B) (Antwortmöglichkeit a)
 - weiße LEDs (Energieeffizienzklasse A-B) (Antwortmöglichkeit c)
 - Halogenlampen (Energieeffizienzklasse C-D) (Antwortmöglichkeit d)
 - herkömmliche Glühlampen (Energieeffizienzklasse E-G) (Antwortmöglichkeit b)Aufgrund der Zuordnung zu den Energieeffizienzklassen sind somit die Reihenfolgen **a-c-d-b** und **c-a-d-b** richtig.
4. Es existiert eine Reihe von möglichen Kriterien, wobei hier **zwei** Kriterien als Antwort genannt werden sollten:
 - **Recyclingfähigkeit,**
 - **chem. Giftstoffe,** die in den einzelnen Leuchtmitteln enthalten sind,
 - **Lichtspektrum,** das beispielsweise eine bestimmte Wirkung auf den Menschen hat.
 - ...
5. Der elektrische Strom spielt in den folgenden Komponenten eine Rolle:
 - **Elektromotor** (Antwortmöglichkeit b)
 - **Netzteil** (Antwortmöglichkeit c)
 - **Programmwahlschalter** (Antwortmöglichkeit e)
 - **LCD-Anzeige** (Antwortmöglichkeit f)
 - **Steuerelektronik** (Antwortmöglichkeit g)
6. Aus der in Antwort 5 genannten Liste der Komponenten wird hier beispielhaft die Steuerelektronik betrachtet. In der Steuerelektronik entsteht eine Verlustleistung unter anderem durch den endlichen ohmschen Widerstand der Schaltungselemente, die vom Strom durchflossen werden. Die physikalische Formel, die diesen Zusammenhang wiedergibt, lautet: $P = I^2 \cdot R$.
7. Entgegen der häufig verwendeten Sprachweise wird die elektrische Energie nicht verbraucht oder erzeugt. Die elektrische Energie wird in andere Energieformen umgewandelt und letztlich an die Umwelt abgegeben (Antwortmöglichkeit c).
8. Auch die Liste der möglichen Maßnahmen für die Vermeidung von unnötigem „Stromverbrauch“ ist lang, sodass wir hier lediglich zwei Möglichkeiten nennen:
 - **Physikalische Trennung vom Stromnetz:** Damit verbundene Vermeidung von Standby-Betrieb verhindert den unnötigen Stromverbrauch, der für die Elektronik benötigt wird.
 - **Verzicht auf unnötige Verlängerungskabel:** Die Verlängerungskabel sind nicht ideal und weisen einen ohmschen Widerstand auf, der zur Erzeugung von Verlustleistung führt.

3.1 Musterlösung

9. Laut Datenblatt (z.B. <http://datasheets.chipdb.org/Intel/x86/Pentium/24159502.pdf>) hat ein Pentium-Prozessor im Jahre 1994 ca. 16 Watt Leistung verbraucht., sodass die gesamte Leistung des Systems wie folgt berechnet werden kann.

$$P_{ges} = n \cdot P_{Pentium}$$

$$P_{ges.} = 48 \cdot 16 W$$

$$P_{ges.} = 768 W$$

10. Der Jaguar Großrechner würde einen Verbrauch von **3,9 GW** (Giga-Watt) haben, wenn mit heutiger Technik ein ExaFLOP erreicht werden soll:

$$p_{Jaguar} = \frac{6,95 MW}{1,759 PetaFLOPs}$$

$$p_{Jaguar} = 3,95 \frac{MW}{PetaFLOPs}$$

$$P_{Jaguar} = 1000 PetaFLOPs \cdot 3,95 \frac{MW}{PetaFLOPs}$$

$$P_{Jaguar} = 3,95 GW$$

11. Für den Betrieb des hypothetischen ein ExaFLOP-Jaguar-Großrechner werden 780 Turbinen der 5-MW-Klasse benötigt:

$$n_{Turbinen} = \frac{3950 MW}{5 MW}$$

$$n_{Turbinen} = 790$$

12. Um die Frage beantworten zu können, muss zunächst die Leistungsaufnahme des Tianhe-1A-Rechners pro Rechenleistung berechnet werden:

$$p_{Tianhe-1A} = \frac{4 MW}{2,56 PetaFLOP}$$

$$p_{Tianhe-1A} = 1,56 \frac{MW}{PetaFLOP}$$

Eine Skalierung dieser Leistung mit der Leistung des Jaguars führt zu einer Rechenleistung von **4,46 PetaFLOPs**.

$$P_{R,Tianhe-1A} = \frac{P_{Jaguar}}{p_{Tianhe-1A}}$$

$$P_{R,Tianhe-1A} = \frac{6,95 MW}{1,56 \frac{MW}{PetaFLOP}}$$

$$P_{R,Tianhe-1A} = 4,46 PetaFLOP$$

13. Aus der vorausgegangenen Frage und der aktuellen Daten des Supercomputers Tianhe-1A kann die jährliche durchschnittliche Wachstumsrate w bestimmt werden:

$$w = \frac{P_{2010,R,Tianhe-1A}}{P_{2009,R,Tianhe-1A}}$$

$$w = \frac{4,46 PetaFLOP}{1,76 PetaFLOP}$$

$$w = 2,53$$

3.1 Musterlösung

Ausgehend von dieser Wachstumsrate ergibt sich folgende Entwicklung:

Jahr	Rechenleistung
2010	4,46
2011	11,30
2012	28,64
2013	72,60
2014	184,01
2015	466,40
2016	1182,16
2017	2996,34

Die ExaFLOP-Grenze wird demnach im Jahr **2016** überschritten.

3.2 Musterlösung

Energiebilanz bei Transistoren und Gattern

- Bei beiden Transistorgrundtypen haben die einzelnen Anschlüsse eine identische Bezeichnung:
 - Anschluss 1: **Source**
 - Anschluss 2: **Drain**
 - Anschluss 3: **Gate**
 - Anschluss 4: **Bulk**
- Bei einer Betrachtung des Transistors als Schalter ergeben sich folgende Zustände:

Gate-Spannung U_{GS}	NMOS-Transistor [offen/geschlossen]	PMOS-Transistor [offen/geschlossen]
$U_{GS}=U_{SS}$ (entspr. logisch „0“)	offen	geschlossen
$U_{GS}=U_{DD}$ (entspr. logisch „1“)	geschlossen	offen

- Die Funktion der Gatter kann unter anderem mit Wahrheitstabellen beschrieben werden. Für die in der Aufgabe erwähnten Gatter gelten folgende Wahrheitstabellen:

- NAND-Gatter

Eingänge		Ausgang
A	B	X
0	0	1
0	1	1
1	0	1
1	1	0

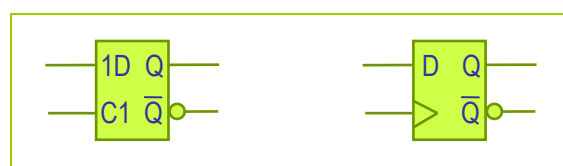
- ODER-Gatter

Eingänge		Ausgang
A	B	X
0	0	0
0	1	1
1	0	1
1	1	1

- Inverter

Eingang	Ausgang
A	X
0	1
1	0

- Das Deutsche Institut für Normung sieht folgendes Symbol für einen D-Flip-Flop vor (Die folgende Abbildung zeigt zudem ein zweites alternatives Symbol.).



3.2 Musterlösung

Auch bei dem D-Flip-Flop ist eine Beschreibung mithilfe einer Tabelle möglich:

Dateneingang D	Clock-Eingang CLK	Datenausgang Q
0	\overline{f}	0
0	1	Q (hier: 0)
0	\overline{f}	Q (hier: 0)
0	0	Q (hier: 0)
1	0	Q (hier: 0)
1	\overline{f}	1
1	1	Q (hier: 1)
1	\overline{f}	Q (hier: 1)

5. Die dynamische Verlustleistung des CMOS-Inverters beträgt **72 nW** und lässt sich wie folgt berechnen:

$$P_{Inv.,dyn.} = C_L \cdot U_{DD}^2 \cdot f_{CLK}$$

$$P_{Inv.,dyn.} = 0,025 \text{ fF} \cdot (1,2 \text{ V})^2 \cdot 2 \text{ GHz}$$

$$P_{Inv.,dyn.} = 72 \text{ nW}$$

6. Die gesamte Verlustleistung eines Micro-Chips beträgt **28,8 W**.

$$P_{dyn.} = \sigma \cdot C_L \cdot U_{DD}^2 \cdot f_{CLK}$$

$$P_{dyn.} = 0,1 \cdot 100 \text{ nF} \cdot (1,2 \text{ V})^2 \cdot 2 \text{ GHz}$$

$$P_{dyn.} = 28,8 \text{ W}$$

7. Ein luftgefüllter Plattenkondensator mit Plattenabstand 1 mm müsste eine Kantenlänge von ca. **3,36 m** aufweisen, damit er eine Kapazität von 100 nF besitzt.

$$C = \frac{\epsilon_0 \cdot \epsilon_r \cdot A}{d}$$

$$A = \frac{d \cdot C}{\epsilon_0 \cdot \epsilon_r}$$

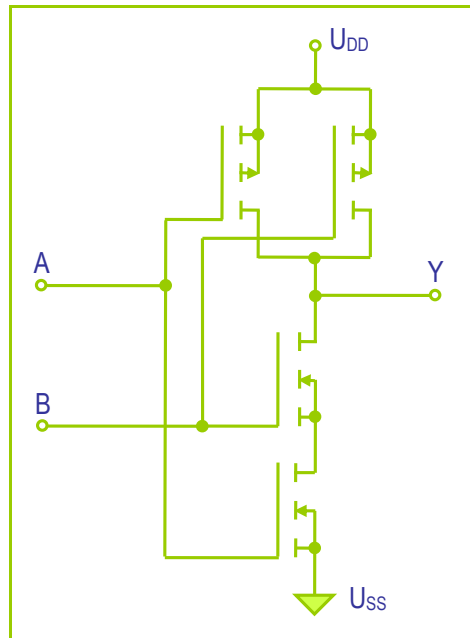
Mit $A = l^2$ gilt:

$$l = \sqrt{\frac{d \cdot C}{\epsilon_0 \cdot \epsilon_r}} = \sqrt{\frac{1 \text{ mm} \cdot 100 \text{ nF}}{8,854 \cdot 10^{-12} \frac{\text{As}}{\text{Vm}} \cdot 1}}$$

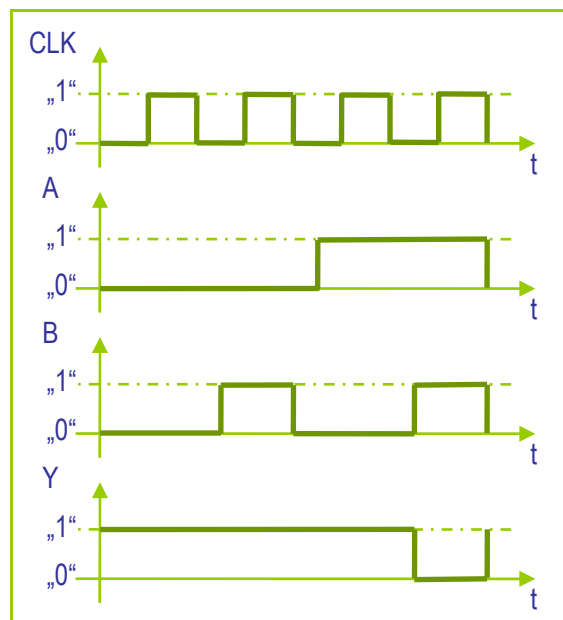
$$l = 3,36 \text{ m}$$

3.2 Musterlösung

8. Für einen CMOS-NAND-Gatter werden je zwei PMOS und zwei NMOS-Transistoren benötigt, die wie folgt geschaltet werden müssen:



9. Neben den bereits erwähnten und dargestellten Wahrheitstabellen kann die Funktion eines Gatters mit einem Diagramm beschrieben werden:



- a) Es gibt **zwei** Signalwechsel, da der Ausgang nur den Wert „0“ annimmt, wenn A und B zeitgleich den Wert „1“ aufweisen. Die Taktflanken spielen für den Zeitpunkt des Signalwechsels keine Rolle, da ein NAND-Gatter keinen Takteingang hat.
- b) Innerhalb der vier Takte gibt es einen Aufladevorgang und einen Entladevorgang. Aus diesem Grund existieren pro Takt **0,25 Aufladevorgänge** und **0,25 Entladevorgänge**.

3.2 Musterlösung

- c) Die dynamische Verlustleistung beträgt **18 nW**:

$$P_{NAND} = \frac{W}{T}$$

$$P_{NAND} = \frac{W_{\text{Aufladen}} + W_{\text{Entladen}}}{4 \cdot T_{CLK}}$$

$$P_{NAND} = \frac{\frac{1}{2} \cdot C_L \cdot U_{DD}^2 + \frac{1}{2} \cdot C_L \cdot U_{DD}^2}{4 \cdot T_{CLK}}$$

$$P_{NAND} = \frac{C_L \cdot U_{DD}^2}{4 \cdot T_{CLK}}$$

$$P_{NAND} = \frac{1}{4} \cdot C_L \cdot U_{DD}^2 \cdot f_{CLK}$$

$$P_{NAND} = \frac{1}{4} \cdot 0,025 \text{ fF} \cdot (1,2 \text{ V})^2 \cdot 2 \text{ GHz}$$

$$P_{NAND} = 18 \text{ nW}$$

10. Die Verlustleistungen vom NAND-Gatter und dem Inverter **unterscheiden sich**, da die **Schaltaktivität** beim NAND-Gatter in unserem Beispiel **geringer ist**. Dies bedeutet, dass bei dem NAND-Gatter im Beispiel eine Auf- und eine Entladung von C_L innerhalb von 4 Taktperioden stattfinden. Bei dem Inverter dagegen gibt es eine Auf- und eine Entladung von C_L innerhalb von einem Takt. Die umgesetzte Energiemenge ist zwar gleich, die Leistung, die als Energie pro Zeit definiert ist, ist allerdings unterschiedlich.

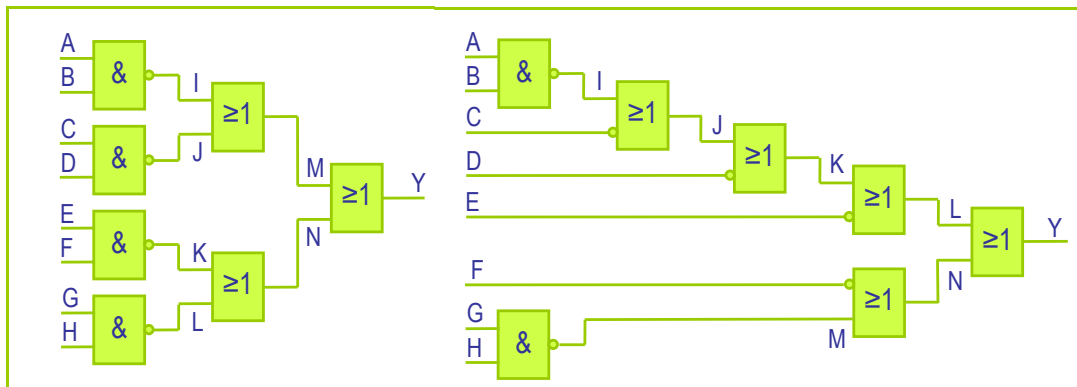
3.3 Musterlösung

Energieeffizienz bei Mikrochips

1. Für die Bearbeitung der Aufgabe muss zunächst die Tabelle 3 vervollständigt werden:

Taktflanke	A	B	C	D	E	F	G	H	Y
1	1	1	1	1	1	1	1	1	0
2	0	1	1	0	0	1	1	1	1
3	1	1	1	1	0	1	1	1	1
4	1	1	0	1	1	1	0	1	1
5	1	1	1	1	1	0	1	1	1
6	1	0	1	1	1	1	1	0	1

Die 6 Eingangskombinationen aus der Tabelle werden in aufeinanderfolgenden Takten synchron an den Eingängen der Schaltung angelegt. Bei jedem Takt (Eingangssignalwechsel) werden die Signale erneut von den Eingängen durch die Schaltungselemente (Gatter) zum Ausgang weitergeleitet (propagiert). Dabei erzeugen sie an den Logikgatterausgängen (I, J, K, L, M, N, Y) Signalwechsel nach einer zeitlichen Verzögerung von $n \cdot \tau$ ($n=1,2,3,4,5$), die entsprechend zur Verlustleistung beitragen. Die Zustände aller Logikgatterausgänge müssen also jeweils zu den Zeitpunkten $n \cdot \tau$ betrachtet und berechnet werden. Der Zustand der Logikgatterausgänge zum Zeitpunkt $0 \cdot \tau$ (Eingangssignalwechsel bei Taktsignalflanke) ergibt sich aus dem stabilen Schaltungszustand der vorherigen Eingangskombination. Mit Hilfe eines Tabellenkalkulationsprogramms lässt sich das Schaltungsverhalten relativ arbeitseffizient ermitteln.



Zunächst soll die Schaltungsvariante I betrachtet werden, wobei die einzelnen Schritte dem Anhang zu dieser Musterlösung entnommen werden können. Die Anzahl der Signalwechsel innerhalb eines Taktes ergibt sich als Summe für die Gatterausgänge I, J, K, L, M, N, Y:

$$n_I = 5 + 6 + 3 + 4 + 4 + 4$$

$$n_I = 26$$

Der Ausgang Y wechselt dabei insgesamt 2 Mal. Die resultierende Verlustleistung berechnet sich entsprechend:

$$P_{I,dyn.} = \frac{W_I}{T}$$

$$P_{I,dyn.} = \frac{24 \cdot W_{I,intern} + 2 \cdot W_{I,Ausgang}}{6 \cdot T_{CLK}}$$

$$P_{I,dyn.} = \frac{24 \cdot \frac{1}{2} \cdot C_{L,intern} \cdot U_{DD}^2 + 2 \cdot \frac{1}{2} \cdot C_{L,Ausgang} \cdot U_{DD}^2}{6 \cdot T_{CLK}}$$

$$P_{I,dyn.} = \frac{1}{6} \cdot f_{CLK} \cdot U_{DD}^2 \cdot (24 \cdot \frac{1}{2} \cdot C_{L,intern} + 2 \cdot \frac{1}{2} \cdot C_{L,Ausgang})$$

3.3 Musterlösung

$$P_{I,dyn.} = \frac{1}{6} \cdot 1,8 \text{ GHz} \cdot (1,05 \text{ V})^2 \cdot (12 \cdot 0,025 \text{ fF} + 0,12 \text{ fF})$$

$$P_{I,dyn.} = 139 \text{ nW}$$

Nun kann die Schaltungsvariante II betrachtet werden. Bei dieser Schaltungsvariante kann die Summe wie folgt bestimmt werden:

$$n_{II} = 7 + 5 + 3 + 8 + 4 + 9$$

$$n_{II} = 36$$

Der Ausgang Y wechselt dabei insgesamt 6 Mal. Die resultierende Verlustleistung berechnet sich entsprechend:

$$P_{II,dyn.} = \frac{W_{II}}{T}$$

$$P_{II,dyn.} = \frac{30 \cdot W_{II,intern} + 6 \cdot W_{II,Ausgang}}{6 \cdot T_{CLK}}$$

$$P_{II,dyn.} = \frac{30 \cdot \frac{1}{2} \cdot C_{L,intern} \cdot U_{DD}^2 + 6 \cdot \frac{1}{2} \cdot C_{L,Ausgang} \cdot U_{DD}^2}{6 \cdot T_{CLK}}$$

$$P_{II,dyn.} = \frac{1}{6} \cdot f_{CLK} \cdot U_{DD}^2 \cdot (30 \cdot \frac{1}{2} \cdot C_{L,intern} + 6 \cdot \frac{1}{2} \cdot C_{L,Ausgang})$$

$$P_{II,dyn.} = \frac{1}{6} \cdot 1,8 \text{ GHz} \cdot (1,05 \text{ V})^2 \cdot (15 \cdot 0,025 \text{ fF} + 3 \cdot 0,12 \text{ fF})$$

$$P_{II,dyn.} = 243 \text{ nW}$$

Während die Schaltungsvariante I eine Verlustleistung von **138 nW** aufweist, benötigt die Schaltungsvariante II bei identischer Funktion **243 nW**.

- Die Verlustleistungen unterscheiden sich, da aufgrund der **Schaltungstopologie** (Art und Weise der Zusammenschaltung der Gatter) die Anzahl der Ausgangssignalwechsel unterschiedlich ist. Bei Schaltung II) entstehen **mehr** sogenannte **Ripple**, die die dynamische Verlustleistung der Schaltung erhöhen.
- Clock gating stellt sicher, dass bestimmte Teilbereiche einer elektronischen Schaltung **keinen Takt mehr** erhalten. Die Betriebsspannung selbst liegt weiterhin an, wobei die Transistoren nicht permanent umgeladen werden. Sie verweilen in einem Zustand (entweder „offen“ oder „geschlossen“) und die **dynamische Verlustleistung entfällt**.
- Beim Power gating werden bestimmte Teilbereiche einer elektronischen Schaltung **von der Betriebsspannung getrennt**. Dies reduziert sowohl die **dynamische als auch die statische Verlustleistung** (z. B. Leckströme). Es muss dabei beachtet werden, dass das erneute Anschalten der Versorgungsspannung mit einem gewissen Energieaufwand und einer gewissen Latenz (Verzögerung) verbunden ist. Aus diesem Grund ist diese Art des Stromsparens in einer Schaltung nur bei längeren Abschaltzeiten sinnvoll.
- Power Gating **spart in der Regel mehr Energie** als Clock Gating, da die Betriebsspannung abgeschaltet wird und somit nicht nur die **dynamischen** sondern auch die **statischen** Verluste entfallen. Allerdings dauert es bei Power Gating deutlich länger, bis die Schaltungsfunktion wieder verfügbar ist. Dies kann mit einem abgestellten Motor verglichen werden, der erst wieder angelassen werden muss.
- Die dynamische Verlustleistung hängt von der Taktfrequenz, den Kapazitäten und der Betriebsspannung ab, wobei die letztgenannten Größen konstant bleiben. Die Reduktion der Taktfrequenz um 30% verringert die Verlustleistung ebenfalls um **30%**.

$$P_{dyn.} = \sigma \cdot C_L \cdot U_{DD}^2 \cdot f_{CLK}$$

3.3 Musterlösung

$$P_{dyn.,neu} = \sigma \cdot C_L \cdot U_{DD}^2 \cdot (0,7 \cdot f_{CLK})$$

$$P_{dyn.,neu} = 0,7 \cdot \sigma \cdot C_L \cdot U_{DD}^2 \cdot f_{CLK}$$

7. Nun wird die Betriebsspannung um 30% reduziert, die quadratisch in die Berechnung der Verlustleistung eingeht. Aus diesem Grund verringert sich die Verlustleistung um **51%**.

$$P_{dyn.} = \sigma \cdot C_L \cdot U_{DD}^2 \cdot f_{CLK}$$

$$P_{dyn.,neu} = \sigma \cdot C_L \cdot (0,7 \cdot U_{DD})^2 \cdot f_{CLK}$$

$$P_{dyn.,neu} = 0,49 \cdot \sigma \cdot C_L \cdot U_{DD}^2 \cdot f_{CLK}$$

8. Eine Reduktion der Betriebsspannung ist **wirksamer als eine (prozentual gleich große)** Reduktion der Taktfrequenz, da der Zusammenhang zwischen P und V quadratisch ist. Der Zusammenhang zwischen P und f ist hingegen linear. Der Reduktion der Betriebsspannung sind allerdings Grenzen gesetzt, da Transistoren eine gewisse Mindestspannung benötigen um korrekt zu funktionieren.

3.4 Musterlösung

Techniken zur Energieeffizienzsteigerung

1. Die Binär-Kodierung führt zur folgenden Tabelle:

Takt	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	Anzahl der Bitwechsel
Dezimalwert	0	0	0	0	-1	0	2	0	0	0	0	0	0	-2	0	3	0	0	0	0	1	1	0	-1	-1	1	2	0	0	-
Bit 0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	1	1	0	1	1	1	0	0	0	8
Bit 1	0	0	0	0	1	0	1	0	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	1	1	0	1	0	0	12
Bit 2	0	0	0	0	1	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	6
Bit 3	0	0	0	0	1	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	6
Bit 4	0	0	0	0	1	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	6

Bei der Signed-Magnitude-Kodierung ergibt sich folgende Tabelle:

Takt	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	Anzahl der Bitwechsel
Dezimalwert	0	0	0	0	-1	0	2	0	0	0	0	0	0	-2	0	3	0	0	0	0	1	1	0	-1	-1	1	2	0	0	-
Bit 0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	1	1	0	1	1	1	0	0	0	8
Bit 1	0	0	0	0	0	0	1	0	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0	0	0	1	0	0	8
Bit 2	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit 3	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit 4	0	0	0	0	1	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	6

Hinweis: Je nach Quantisierung des Signals können einzelne Dezimalwerte um 1 abweichen. In diesem Fall müssen selbstverständlich die kodierten Werte angepasst werden.

- Die **Signed-Magnitude-Kodierung** ist für den hier betrachteten Anwendungsfall geeigneter, da die Anzahl der Bitwechsel bei der Signed-Magnitude-Kodierung geringer ($8+8+16 = 22$) als bei der Binärkodierung ($8+12+6+6+6 = 38$) ist.
- Ausgehend von der Beschreibung der Funktion in Form von Gleichungen ergibt sich folgende Wahrheitstabelle:

Eingänge				Ausgänge	
A	B	C	D	Carry	Sum
0	0	0	0	0	0
0	0	0	1	0	1
0	0	1	0	0	1
0	0	1	1	1	0
0	1	0	0	0	0
0	1	0	1	0	1
0	1	1	0	0	1
0	1	1	1	1	0
1	0	0	0	0	0
1	0	0	1	0	1
1	0	1	0	0	1
1	0	1	1	1	0
1	1	0	0	0	1
1	1	0	1	1	0
1	1	1	0	1	0
1	1	1	1	1	1

- Das zuerst berechnete Ergebnis-Bit ist **Y[0]**, wobei es sich um das Summenbit des rechten oberen Processing-Elements des Carry-Save-Arrays handelt. Dieses Ergebnis-Bit liegt nach einer Verzögerung von **1τ** am Ausgang Y[0] an.

3.4 Musterlösung

5. Die Ergebnis-Bits **Y[8] bis Y[15]** haben diesselbe Verzögerung, die sich aus der Summe der 8 Carry-Laufzeiten und der Verzögerung durch den VMA-Block ergibt. Die maximale Verzögerung zwischen Eingangs- und Ausgangsbits beträgt somit **20τ**.

$$t_{Y[8]...Y[15]} = 8 \cdot 2\tau + 4\tau$$

$$t_{Y[8]...Y[15]} = 20\tau$$

6. Ausgehend von den Eingangswerten $A = 26_{10}$ und $B = 13_{10}$ können folgende Werte in den jeweiligen Zeilen des Addierers beobachtet werden:

	Carry-Bits $C_{out}[7:0]$	Summen-Bits $Sum[7:0]$
Ausgänge der 1. Zeile	00000000	00011010
Ausgänge der 2. Zeile	00000000	00001101
Ausgänge der 3. Zeile	00000010	00011100
Ausgänge der 4. Zeile	00001010	00010110
Ausgänge der 5. Zeile	00001010	00000001
Ausgänge der 6. Zeile	00000000	00001010
Ausgänge der 7. Zeile	00000000	00000101
Ausgänge der 8. Zeile	00000000	00000010

7. Das binäre Ergebnis $Y[15:0]$ lautet **0000_0001_0101_0010₂** bzw. **338₁₀**, wobei die Unterstriche bei der Binärzahl lediglich die Lesbarkeit erhöhen sollen.
8. Zur Lösung der Aufgabe ist es nötig, ähnlich wie in der Aufgabe 3.3 eine Simulation der Schaltung durchzuführen. Die zeitliche Auflösung der Simulation sollte 1τ betragen, damit die Zahl der Auf- und Entladevorgänge (Toggles) bestimmt werden kann. Für die Schaltung ohne Pipelining sind nach dem Anlegen der Eingangskombinationen 16 Simulationsschritte mit Zeitdauer von 1τ nötig. Bei der Schaltung mit Pipelining müssen in einem zusätzlichen Simulationsschritt die Pipelineregister getaktet werden, nachdem die Eingangssignale bis zum Eingang der Pipelinestufe propagiert sind (nach 8τ). Zur Bestimmung der Toggles sind nach jedem Zeitschritt τ die Ausgangszustände der Schaltungselemente mit dem vorherigen Zustand zu vergleichen. Zur Ermittlung der umgesetzten Energie muss die jeweilige Lastkapazität der Ausgänge berücksichtigt werden. Da eine manuelle Lösung relativ aufwendig ist, bietet es sich an, ein Computerprogramm (Skript) zu schreiben, das hilft, die Lösung zu ermitteln.

Bei der Schaltung ohne Pipeline-Register ergibt sich folgende Anzahl an Toggles an den Ein- und Ausgängen der Processing-Elemente:

- Eingänge A: 40 (entsprechend 5 gesetzten Bits im Eingangsvektor A mal 8 getriebenen Eingängen)
- Eingänge B: 40 (entsprechend 5 gesetzten Bits im Eingangsvektor B mal 8 getriebenen Eingängen)
- Eingänge C: 12 (Carry Bits)
- Eingänge D: 42 (Summen Bits)
- Ausgänge Carry: 18
- Ausgänge Sum: 77

Da laut Aufgabenstellung nur das Array der Processing-Elemente betrachtet werden soll (zuzüglich D-FlipFlops bei der Variante mit Pipelining), sind die Toggles an den Eingängen A und B nicht zu berücksichtigen. Die Eingänge C und D sind jeweils mit Carry- und Sum-Ausgängen (oder konstant Null) verbunden, sodass die Toggles von C und D bereits in den Carry- und Sum-Toggle-Zahlen enthalten sind.

3.4 Musterlösung

Die dynamische Verlustenergie ergibt sich somit zu:

$$W_{dyn.} = (18 + 77) \cdot \frac{1}{2} \cdot C_L \cdot U_{DD}^2$$

$$W_{dyn.} = 95 \cdot \frac{1}{2} \cdot 0,025 \text{ fF} \cdot (1 \text{ V})^2$$

$$W_{dyn.} = 1,19 \text{ fFV}^2$$

Die dynamische Verlustleistung für das CS-Array beträgt bei einer Taktfrequenz von 1 GHz **1,19 μW** :

$$P_{dyn.} = \frac{W_{dyn.}}{T_{CLK}}$$

$$P_{dyn.} = W_{dyn.} \cdot f_{CLK}$$

$$P_{dyn.} = 1,19 \text{ fFV}^2 \cdot 1 \text{ GHz}$$

$$P_{dyn.} = 1,19 \mu\text{W}$$

Bei der Schaltung mit Pipeline-Registern ergibt sich folgende Anzahl an Toggles an den Ein- und Ausgängen der Processing-Elemente:

- Eingänge A: 40 (entsprechend 5 gesetzten Bits im Eingangsvektor A mal 8 getriebenen Eingängen)
- Eingänge B: 40 (entsprechend 5 gesetzten Bits im Eingangsvektor B mal 8 getriebenen Eingängen)
- Eingänge C: 11 (Carry Bits)
- Eingänge D: 47 (Summen Bits)
- Ausgänge Carry: 17
- Ausgänge Sum: 79

Zusätzliche Verluste entstehen durch die Toggle der 31 Pipeline-Register für B (4), A (8), Carry (8), Sum (8), Y (3):

- Pipeline-Register: $3 + 5 + 1 + 3 + 1 = 13$

Die dynamische Verlustenergie ergibt sich somit zu:

$$W_{PL,dyn.} = (17 + 79 + 13) \cdot \frac{1}{2} \cdot C_L \cdot U_{DD}^2$$

$$W_{PL,dyn.} = 109 \cdot \frac{1}{2} \cdot 0,025 \text{ fF} \cdot (1 \text{ V})^2$$

$$W_{PL,dyn.} = 1,36 \text{ fFV}^2$$

Um einen fairen Vergleich durchzuführen, soll für die Schaltung mit Pipelining ebenfalls eine Zeitdauer der Operation von 1 ns angenommen werden (Eigentlich werden zwei Takte bei der Schaltung mit Pipelining benötigt. Durch das Pipelining werden jedoch die Signalpfade verkürzt, sodass die Schaltung effektiv mit doppelter Taktfrequenz betrieben werden kann.).

Die dynamische Verlustleistung für das CS-Array beträgt bei einer Zeitdauer von 1 ns **1,36 μW** :

$$P_{PL,dyn.} = \frac{W_{PL,dyn.}}{T_{CLK}}$$

$$P_{PL,dyn.} = W_{PL,dyn.} \cdot f_{CLK}$$

3.4 Musterlösung

$$P_{PL,dyn.} = 1,36 f F V^2 \cdot 1 GHz$$

$$P_{PL,dyn.} = 1,36 \mu W$$

3.3 Musterlösung (Anhang)

Taktflanke 1	A	B	C	D	E	F	G	H
	1	1	1	1	1	1	1	1
Zeit [τ]	I	J	K	L	M	N	Y	
0	1	0	0	1	1	1	1	
1	0	0	0	0	1	1	1	
2	0	0	0	0	0	0	1	
3	0	0	0	0	0	0	0	
4	0	0	0	0	0	0	0	
5	0	0	0	0	0	0	0	

Taktflanke 2	A	B	C	D	E	F	G	H
	0	1	1	0	0	1	1	1
Zeit [τ]	I	J	K	L	M	N	Y	
0	0	0	0	0	0	0	0	
1	1	1	1	0	0	0	0	
2	1	1	1	0	1	1	0	
3	1	1	1	0	1	1	1	
4	1	1	1	0	1	1	1	
5	1	1	1	0	1	1	1	

Taktflanke 3	A	B	C	D	E	F	G	H
	1	1	1	1	0	1	1	1
Zeit [τ]	I	J	K	L	M	N	Y	
0	1	1	1	0	1	1	1	
1	0	0	1	0	1	1	1	
2	0	0	1	0	0	1	1	
3	0	0	1	0	0	1	1	
4	0	0	1	0	0	1	1	
5	0	0	1	0	0	1	1	

Taktflanke 4	A	B	C	D	E	F	G	H
	1	1	0	1	1	1	0	1
Zeit [τ]	I	J	K	L	M	N	Y	
0	0	0	1	0	0	1	1	
1	0	1	0	1	0	1	1	
2	0	1	0	1	1	1	1	
3	0	1	0	1	1	1	1	
4	0	1	0	1	1	1	1	
5	0	1	0	1	1	1	1	

Taktflanke 5	A	B	C	D	E	F	G	H
	1	1	1	1	1	0	1	1
Zeit [τ]	I	J	K	L	M	N	Y	
0	0	1	0	1	1	1	1	
1	0	0	1	0	1	1	1	
2	0	0	1	0	0	1	1	
3	0	0	1	0	0	1	1	
4	0	0	1	0	0	1	1	
5	0	0	1	0	0	1	1	

Taktflanke 6	A	B	C	D	E	F	G	H
	1	0	1	1	1	1	1	0
Zeit [τ]	I	J	K	L	M	N	Y	
0	0	0	1	0	0	1	1	
1	1	0	0	1	0	1	1	
2	1	0	0	1	1	1	1	
3	1	0	0	1	1	1	1	
4	1	0	0	1	1	1	1	
5	1	0	0	1	1	1	1	

3.3 Musterlösung (Anhang)

Taktflanke 1	A	B	C	D	E	F	G	H
	1	1	1	1	1	1	1	1
Zeit [τ]	I	J	K	L	M	N	Y	
0	1	1	1	1	1	1	1	
1	0	1	1	1	0	1	1	
2	0	0	1	1	0	0	1	
3	0	0	0	1	0	0	1	
4	0	0	0	0	0	0	1	
5	0	0	0	0	0	0	0	

Taktflanke 2	A	B	C	D	E	F	G	H
	0	1	1	0	0	1	1	1
Zeit [τ]	I	J	K	L	M	N	Y	
0	0	0	0	0	0	0	0	
1	1	0	1	1	0	0	0	
2	1	1	1	1	0	0	1	
3	1	1	1	1	0	0	1	
4	1	1	1	1	0	0	1	
5	1	1	1	1	0	0	1	

Taktflanke 3	A	B	C	D	E	F	G	H
	1	1	1	1	0	1	1	1
Zeit [τ]	I	J	K	L	M	N	Y	
0	1	1	1	1	0	0	1	
1	0	1	1	1	0	0	1	
2	0	0	1	1	0	0	1	
3	0	0	0	1	0	0	1	
4	0	0	0	1	0	0	1	
5	0	0	0	1	0	0	1	

Taktflanke 4	A	B	C	D	E	F	G	H
	1	1	0	1	1	1	0	1
Zeit [τ]	I	J	K	L	M	N	Y	
0	0	0	0	1	0	0	1	
1	0	1	0	0	1	0	1	
2	0	1	1	0	1	1	0	
3	0	1	1	1	1	1	1	
4	0	1	1	1	1	1	1	
5	0	1	1	1	1	1	1	

Taktflanke 5	A	B	C	D	E	F	G	H
	1	1	1	1	1	0	1	1
Zeit [τ]	I	J	K	L	M	N	Y	
0	0	1	1	1	1	1	1	
1	0	0	1	1	0	1	1	
2	0	0	0	1	0	1	1	
3	0	0	0	0	0	1	1	
4	0	0	0	0	0	1	1	
5	0	0	0	0	0	1	1	

Taktflanke 6	A	B	C	D	E	F	G	H
	1	0	1	1	1	1	1	0
Zeit [τ]	I	J	K	L	M	N	Y	
0	0	0	0	0	0	1	1	
1	1	0	0	0	1	0	0	
2	1	1	0	0	1	1	0	
3	1	1	1	0	1	1	1	
4	1	1	1	1	1	1	1	
5	1	1	1	1	1	1	1	